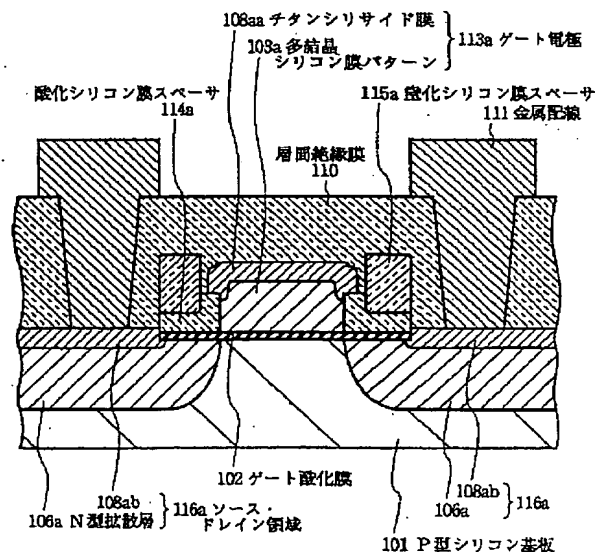


(11) 特許出願公開番号

(43) 公開日 平成 8 年 (1996) 2 月 6 日



【特許請求の範囲】

【請求項 1】 一導電型のシリコン基板の表面に設けられたゲート酸化膜と、該ゲート酸化膜を介して該シリコン基板の表面上に設けられた所定導電型の多結晶シリコン膜パターンおよび該多結晶シリコン膜パターンの表面に設けられた第 1 のチタンシリサイド膜からなるゲート電極と、該ゲート電極の側面に設けられた絶縁膜スペーサと、該シリコン基板の表面に設けられてた逆導電型の拡散層および該絶縁膜スペーサ直下を除いた該拡散層の表面に設けられた第 2 のチタンシリサイド膜からなるソース・ドレイン領域とを有することと、

前記多結晶シリコン膜パターンと前記第 1 のチタンシリサイド膜との前記ゲート電極のゲート長方向に沿って接触する長さが、該ゲート長より長いことと、前記絶縁膜スペーサの上端が、前記ゲート電極の上面より高いこととを併せて特徴とする半導体装置。

【請求項 2】 前記絶縁膜スペーサが、前記ゲート酸化膜の表面を直接に覆い、前記多結晶シリコン膜の側面を直接に覆い、前記ゲート電極の上面より低い上端を有する第 1 の絶縁膜スペーサと、前記ゲート電極の上面より高い上端を有し、前記第 1 の絶縁膜スペーサを介して該ゲート電極を側面に設けられた第 2 の絶縁膜スペーサとを少なくとも有することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 1 の絶縁膜スペーサが酸化シリコン膜からなり、前記第 2 の絶縁膜スペーサが窒化シリコン膜からなることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記多結晶シリコン膜パターンの上面が、前記ゲート電極のゲート幅方向に平行な凹部を有することを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記絶縁膜スペーサが酸化シリコン膜からなることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 一導電型のシリコン基板の表面の所要の領域にゲート酸化膜を形成し、全面に所定導電型で第 1 の膜厚を有する多結晶シリコン膜を形成し、該多結晶シリコン膜をパターンニングして所望の幅を有する多結晶シリコン膜パターンを形成する工程と、

全面にそれぞれ第 2 および第 3 の膜厚を有する酸化シリコン膜および窒化シリコン絶縁膜を順次形成する工程と、

異方性エッチングによる第 1 のエッチバックを前記窒化シリコン膜に対して選択的に行ない、前記酸化シリコン膜を介して前記多結晶シリコン膜パターンの側面に窒化シリコン膜スペーサを形成する工程と、

異方性エッチングによる第 2 のエッチバックを前記酸化シリコン膜並びに前記ゲート酸化膜に対して選択的に行ない、前記多結晶シリコン膜パターンの側面に前記第 1 の膜厚より低い所定の高さを有する酸化シリコン膜スペーサを形成する工程と、

前記多結晶シリコン膜パターン、前記酸化シリコン膜スペーサおよび前記窒化シリコン膜スペーサをマスクにしたイオン注入により、前記シリコン基板の表面に逆導電型の拡散層を形成する工程と、

スパッタリングにより、全面に第 4 の膜厚を有するチタン膜を形成する工程と、

熱処理により前記多結晶シリコン膜パターンの表面および前記拡散層の表面にそれぞれ第 1 のチタンシリサイド膜および第 2 のチタンシリサイド膜を形成し、少なくとも未反応の該チタン膜を選択的に除去して該第 1 のチタンシリサイド膜および該第 2 のチタンシリサイド膜を残置する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 7】 前記第 4 の膜厚が前記第 2 の膜厚より薄いことを特徴とする請求項 6 記載の半導体装置の製造方法。

【請求項 8】 コリメトリスパッタリングにより前記チタン膜を形成し、プラズマ窒化により該チタン膜の表面に第 5 の膜厚を有する窒化チタン膜を形成した後、アルゴンもしくはヘリウム雰囲気の前記熱処理を行なうことと、

前記第 1 の膜厚と前記第 2 の膜厚との和が前記所定の高さと前記第 4 の膜厚との和より大きく、該第 4 の膜厚と前記第 5 の膜厚との差が該第 1 の膜厚と該所定の高さとより大きいこととを併せて特徴とする請求項 6 記載の半導体装置の製造方法。

【請求項 9】 一導電型のシリコン基板の表面の所要の領域にゲート酸化膜を形成し、全面に所定導電型で第 1 の膜厚を有する多結晶シリコン膜と所望の膜厚を有する第 1 の酸化シリコン膜とを形成し、該第 1 の酸化シリコン膜および該多結晶シリコン膜をパターンニングし、該第 1 の酸化シリコン膜が載置され、所望の幅を有する多結晶シリコン膜パターンを形成する工程と、

全面に第 2 の膜厚を有する第 2 の酸化シリコン膜を形成し、異方性エッチングによる第 1 のエッチバックを該第 2 の酸化シリコン膜、前記第 1 の酸化シリコン膜並びに前記ゲート酸化膜に対して選択的に行ない、前記多結晶シリコン膜パターンの表面に第 3 の膜厚を有する該第 1 の酸化シリコン膜を残置し、該多結晶シリコン膜パターンの側面に酸化シリコン膜スペーサを形成する工程と、全面に第 4 の膜厚を有する窒化シリコン膜を形成し、異方性エッチングによる第 2 のエッチバックを該窒化シリコン膜に対して選択的に行ない、前記酸化シリコン膜スペーサを介して前記多結晶シリコン膜パターンの側面に窒化シリコン膜スペーサを形成する工程と、

少なくとも前記多結晶シリコン膜パターン、前記第 1 の酸化シリコン膜および前記酸化シリコン膜スペーサをマスクにしたイオン注入により、前記シリコン基板の表面に逆導電型の拡散層を形成する工程と、

異方性エッチングにより第 3 のエッチバックを前記第 1

の酸化シリコン膜並びに前記酸化シリコン膜スペーサに対して選択的に行ない、該第1の酸化シリコン膜を除去し、該酸化シリコン膜スペーサを前記第1の膜厚より低い所定の高さにする工程と、

スパッタリングにより、全面に第5の膜厚を有するチタン膜を形成する工程と、

熱処理により前記多結晶シリコン膜パターンの表面および前記拡散層の表面にそれぞれ第1のチタンシリサイド膜および第2のチタンシリサイド膜を形成し、少なくとも未反応の該チタン膜を選択的に除去して該第1のチタンシリサイド膜および該第2のチタンシリサイド膜を残置する工程とを有することを特徴とする半導体装置の製造方法。

【請求項10】 前記第5の膜厚が前記第3の膜厚より薄いことを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】 コリメトリスパッタリングにより前記チタン膜を形成し、プラズマ窒化により該チタン膜の表面に第6の膜厚を有する窒化チタン膜を形成した後、アルゴンもしくはヘリウム雰囲気で行なうことと、

前記第1の膜厚と前記第3の膜厚との和が前記所定の高さと前記第5の膜厚との和より大きく、該第5の膜厚と前記第6の膜厚との差が該第1の膜厚と該所定の高さととの差より大きいことを併せて特徴とする請求項9記載の半導体装置の製造方法。

【請求項12】 一導電型のシリコン基板の表面の所要の領域にゲート酸化膜を形成し、全面に所定導電型で第1の膜厚を有する多結晶シリコン膜を形成し、該多結晶シリコン膜をパターンニングして所望の幅を有する多結晶シリコン膜パターンを形成する工程と、

全面にそれぞれ第2、第3および第4の膜厚を有する第1の酸化シリコン膜、窒化シリコン絶縁膜および第2の酸化シリコン膜を順次形成する工程と、

異方性エッチングによる第1のエッチバックを前記窒化シリコン膜の表面が露出するまで前記第3の酸化シリコン膜に対して行ない、前記第1の酸化シリコン膜および該窒化シリコン膜を介して、前記多結晶シリコン膜パターンの側面に、該第2の酸化シリコン膜からなる第1の酸化シリコン膜スペーサを形成する工程と、

異方性エッチングによる第2のエッチバックを前記窒化シリコン膜に対して選択的に行ない、前記第1の酸化シリコン膜を介して前記多結晶シリコン膜パターンの側面に窒化シリコン膜スペーサを形成する工程と、

異方性エッチングによる第3のエッチバックを前記第1の酸化シリコン膜並びに前記第2の酸化シリコン膜スペーサに対して選択的に行ない、前記多結晶シリコン膜パターンの側面に、前記第1の膜厚より低い第1の高さを有する該第1の酸化シリコン膜からなる第2の酸化シリコン膜スペーサを形成し、該第2の酸化シリコン膜スペーサの高さを第2の高さに低くする工程と、

一サの高さを第2の高さに低くする工程と、

前記多結晶シリコン膜パターン、前記第2の酸化シリコン膜スペーサ、前記窒化シリコン膜スペーサおよび前記第1の酸化シリコン膜スペーサをマスクにしたイオン注入により、前記シリコン基板の表面に逆導電型の拡散層を形成する工程と、

スパッタリングにより、全面に第5の膜厚を有するチタン膜を形成する工程と、

10 熱処理により前記多結晶シリコン膜パターンの表面および前記拡散層の表面にそれぞれ第1のチタンシリサイド膜および第2のチタンシリサイド膜を形成し、少なくとも未反応の該チタン膜を選択的に除去して該第1のチタンシリサイド膜および該第2のチタンシリサイド膜を残置する工程とを有することを特徴とする半導体装置の製造方法。

【請求項13】 前記第5の膜厚が前記第2の膜厚より薄いことを特徴とする請求項12記載の半導体装置の製造方法。

20 【請求項14】 コリメトリスパッタリングにより前記チタン膜を形成し、プラズマ窒化により該チタン膜の表面に第6の膜厚を有する窒化チタン膜を形成した後、アルゴンもしくはヘリウム雰囲気で行なうことと、

前記第1の膜厚と前記第2の膜厚との和が前記第1の高さと前記第5の膜厚との和より大きく、該第5の膜厚と前記第6の膜厚との差が該第1の膜厚と該第1の高さととの差より大きいことを併せて特徴とする請求項12記載の半導体装置の製造方法。

30 【請求項15】 一導電型のシリコン基板の表面の所要の領域にゲート酸化膜を形成し、全面に所定導電型で所要の膜厚を有する多結晶シリコン膜を形成し、該多結晶シリコン膜をパターンニングして所望の幅を有する多結晶シリコン膜パターンを形成する工程と、

全面に第1の膜厚を有する第1の酸化シリコン膜を形成し、異方性エッチングによる第1のエッチバックを該第1の酸化シリコン膜並びに前記ゲート酸化膜に対して選択的に行ない、前記多結晶シリコン膜パターンの側面に酸化シリコン膜スペーサを形成する工程と、

40 熱酸化により前記多結晶シリコン膜パターンの表面および前記シリコン基板の表面にそれぞれ第2の酸化シリコン膜および第3の酸化シリコン膜を形成し、該多結晶シリコン膜パターンの膜厚を第2の膜厚にする工程と、

全面にフォトレジスト膜を形成し、少なくとも前記第2の酸化シリコン膜が露出するまで該フォトレジスト膜に対して第2のエッチバックを行なう工程と、

前記フォトレジスト膜をマスクにして、異方性エッチングによる第3のエッチバックを前記第2の酸化シリコン膜に対して選択的に行ない、前記多結晶シリコン膜パターンの表面を露出させる工程と、

50 少なくとも前記酸化シリコン膜スペーサをマスクにし

て、異方性エッチングによる第4のエッチバックを前記多結晶シリコン膜パターンに対して選択的に行ない、該多結晶シリコン膜パターンを第3の膜厚に薄くする工程と、

全面に第4の膜厚を有する窒化シリコン膜を形成し、異方性エッチングによる第5のエッチバックを該窒化シリコン膜に対して選択的に行ない、前記酸化シリコン膜スペーサの側面に窒化シリコン膜スペーサを形成する工程と、

少なくとも前記多結晶シリコン膜パターンおよび前記酸化シリコン膜スペーサをマスクにしたイオン注入により、前記シリコン基板の表面に逆導電型の拡散層を形成する工程と、

前記窒化シリコン膜スペーサをマスクにして、異方性エッチングによる第6のエッチバックを前記多結晶シリコン膜パターンに対して選択的に行ない、該多結晶シリコン膜パターンの表面に所望の深さを有する凹部を形成する工程と、

異方性エッチングによる第7のエッチバックにより前記窒化シリコン膜スペーサを除去し、異方性エッチングによる第8のエッチバックを前記第3の酸化シリコン膜並びに前記酸化シリコン膜スペーサに対して選択的に行ない、該第3の酸化シリコン膜を除去して前記拡散層の表面を露出させ、該酸化シリコン膜スペーサを所定の高さにする工程と、

スパッタリングにより、全面に前記所定の高さと前記第3の膜厚との差より薄い第5の膜厚を有するチタン膜を形成する工程と、

熱処理により前記多結晶シリコン膜パターンの表面および前記拡散層の表面にそれぞれ第1のチタンシリサイド膜および第2のチタンシリサイド膜を形成し、少なくとも未反応の該チタン膜を選択的に除去して該第1のチタンシリサイド膜および該第2のチタンシリサイド膜を残置する工程とを有することを特徴とする半導体装置の製造方法。

【請求項16】 コリメトリスパッタリングにより前記チタン膜を形成し、プラズマ窒化により該チタン膜の表面に第6の膜厚を有する窒化チタン膜を形成した後、アルゴンもしくはヘリウム雰囲気の前記熱処理を行なうことを特徴とする請求項15記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置及びその製造方法に関し、特にサリサイド構造を有するMOSトランジスタを含んでなる半導体装置とその製造方法とに関する。

【0002】

【従来の技術】 MOSトランジスタを含んでなる半導体装置では、半導体装置の高集積化、高速化は、主とし

て、MOSトランジスタのゲート絶縁膜の膜厚、チャネル長、チャネル幅、拡散層の幅および配線ピッチ（配線幅および配線間隔）等の縮小によりなされてきた。これらの縮小に伴って、何らかの工夫を施さなければ、寄生抵抗等が増加して、半導体装置の高速化に支障を来すことになる。設計ルールがサブミクロン設計ルールになるまでは、ゲート電極の層抵抗を低くすることで高速化に対処してきた。この段階でのゲート電極の構造には、

（例えばN型の）多結晶シリコン膜と高融点金属シリサイド膜との積層膜からなるポリサイド構造が採用されていた。高融点金属シリサイド膜としては、主としてタングステンシリサイド膜あるいはモリブデンシリサイド膜が用いられてきた。なお、層抵抗の低さという点に着目するならば、チタンシリサイド膜を用いたポリサイド構造のゲート電極が極めて好ましい。それにもかかわらず、チタンシリサイド膜を用いたポリサイド構造のゲート電極は、実用に供されなかった。これは、チタンシリサイド膜と多結晶シリコン膜との積層膜に対してのエッチング加工性（ドライエッチング）が、非常に困難なためである。

【0003】 設計ルールがサブミクロン設計ルールになると、ゲート電極の層抵抗を低くすることのみでは、上記半導体装置の高速化の達成は困難になってきた。これは（配線が接続されるソース・ドレイン領域の）コンタクト孔とチャネル領域との間の層抵抗の高さが高速化の主要阻止要因となるためであり、その結果、ソース・ドレイン領域の寄生抵抗の低減が重要になってきた。これの対策として、ゲート電極をなす多結晶シリコン膜パターンの表面とソース・ドレイン領域をなす拡散層の表面とに自己整合的に高融点金属シリサイド膜が形成されたサリサイド構造のMOSトランジスタが実用化されている。これに用いる高融点金属シリサイド膜としては、チタンシリサイド膜が主であり、他にコバルトシリサイド膜やニッケルシリサイド膜等の検討が報告されている。

【0004】 チタンシリサイド膜を用いたサリサイド構造の例えばNチャネル型のMOSトランジスタの形成方法の要旨は、次のようになっている。

【0005】 熱酸化法により、P型のシリコン基板の表面に、フィールド酸化膜とゲート酸化膜とが形成される。全面にN型の多結晶シリコン膜が形成され、これがパターンニングされて多結晶シリコン膜パターンが形成される。気相成長法により全面に酸化シリコン膜が形成され、この膜が異方性エッチングによりエッチバックされて多結晶シリコン膜パターンの側面に酸化シリコン膜スペーサが形成される。一般的に、この酸化シリコン膜スペーサの高さは、多結晶シリコン膜パターンの膜厚に等しい。これら多結晶シリコン膜パターンおよび酸化シリコン膜スペーサをマスクにしたイオン注入等により、N型の拡散層が形成される。酸化シリコン膜スペーサの幅（概ね上記酸化シリコン膜の膜厚に等しい）が広い場合

【０００８】ゲート長が短い場合でもＣ５４構造のチャタンシリサイド膜の抵抗率を上昇させずにすむ方が、シンソリッドフィルムス（Thin Solid Films）１９９１年、第１９８巻、５３頁～６６頁に報告されている。この報告の内容の説明を、本発明者の追試に基づいて説明する。

【0011】

【0012】半導体装置の模式的断面図である図18を参照すると、チタン膜を窒素雰囲気中でランプアニールする際に、その原因は定かではないが、酸化シリコン膜スペーサ314の表面に局所的にチタンシリサイド膜308cが形成される。このチタンシリサイド膜308cはチタンシリサイド膜308a（ゲート電極313）とチタンシリサイド膜308b（ソース・ドレイン領域316）との間のリーク・パスとなり、これらの間のリーク電流の増大、さらには短絡を生じることになる。ブリッ

ジグ現象は、このように酸化シリコン膜スペース314の表面に局部的にチタンシリサイド膜308cが存在することと、ゲート電極313とソース・ドレイン領域316との間にリーク電流が増大し、短絡が生じやすくなることを総称した現象である。このリーク電流の大きさと短絡の発生の度合は、酸化シリコン膜スペース314の表面に沿ったチタンシリサイド膜308aとチタンシリサイド膜308bとの間隔に反比例する。このため、この方策を用いると、通常の場合よりブリッジング現象が顕著になる。

【0013】したがって本発明の目的は、チタンシリサイド膜によるシリサイド構造のMOSトランジスタにおいて、このチタンシリサイド膜の抵抗率を上昇させずにブリッジング現象を抑制もしくは抑止する半導体装置と、その製造方法とを提供することにある。

【0014】

【課題を解決するための手段】本発明の半導体装置の特徴は、一導電型のシリコン基板の表面に設けられてゲート酸化膜と、このゲート酸化膜を介してシリコン基板の表面上に設けられた所定導電型の多結晶シリコン膜パターンおよびこの多結晶シリコン膜パターンの表面に設けられた第1のチタンシリサイド膜からなるゲート電極と、ゲート電極の側面に設けられた絶縁膜スペースと、シリコン基板の表面に設けられて逆導電型の拡散層および絶縁膜スペース直下を除いた拡散層の表面に設けられた第2のチタンシリサイド膜からなるソース・ドレイン領域とを有することと、上記多結晶シリコン膜パターンと上記第1のチタンシリサイド膜との上記ゲート電極のゲート長方向に沿って接触する長さが、ゲート長より長いことと、上記絶縁膜スペースの上端が、上記ゲート電極の上面より高いこととにある。

【0015】好ましくは、上記絶縁膜スペースが、上記ゲート酸化膜の表面を直接に覆い、上記多結晶シリコン膜の側面を直接に覆い、上記ゲート電極の上面より低い上端を有する第1の絶縁膜スペースと、上記ゲート電極の上面より高い上端を有し、上記第1の絶縁膜スペースを介してゲート電極を側面に設けられた第2の絶縁膜スペースとを少なくとも有する。さらに、上記第1の絶縁膜スペースが酸化シリコン膜からなり、上記第2の絶縁膜スペースが窒化シリコン膜からなる。

【0016】さらに好ましくは、上記多結晶シリコン膜パターンの上面が、上記ゲート電極のゲート幅方向に平行な凹部を有する。さらに、上記絶縁膜スペースが酸化シリコン膜からなる。

【0017】本発明の半導体装置の製造方法の第1の様子は、一導電型のシリコン基板の表面の所要の領域にゲート酸化膜を形成し、全面に所定導電型で第1の膜厚を有する多結晶シリコン膜を形成し、この多結晶シリコン膜をパターニングして所望の幅を有する多結晶シリコン膜パターンを形成する工程と、全面にそれぞれ第2およ

び第3の膜厚を有する酸化シリコン膜および窒化シリコン絶縁膜を順次形成する工程と、異方性エッチングによる第1のエッチバックを上記窒化シリコン膜に対して選択的に行ない、上記酸化シリコン膜を介して上記多結晶シリコン膜パターンの側面に窒化シリコン膜スペースを形成する工程と、異方性エッチングによる第2のエッチバックを上記酸化シリコン膜並びに上記ゲート酸化膜に対して選択的に行ない、上記多結晶シリコン膜パターンの側面に、上記第1の膜厚より低い所定の高さを有する酸化シリコン膜スペースを形成する工程と、上記多結晶シリコン膜パターン、上記酸化シリコン膜スペースおよび上記窒化シリコン膜スペースをマスクにしたイオン注入により、上記シリコン基板の表面に逆導電型の拡散層を形成する工程と、スパッタリングにより、全面に第4の膜厚を有するチタン膜を形成する工程と、熱処理により上記多結晶シリコン膜パターンの表面および上記拡散層の表面にそれぞれ第1のチタンシリサイド膜および第2のチタンシリサイド膜を形成し、少なくとも未反応のチタン膜を選択的に除去してこの第1のチタンシリサイド膜およびこの第2のチタンシリサイド膜を残置する工程とを有する。

【0018】好ましくは、上記第4の膜厚が上記第2の膜厚より薄い。

【0019】さらに好ましくは、コリメトリスパッタリングにより上記チタン膜を形成し、プラズマ窒化によりこのチタン膜の表面に第5の膜厚を有する窒化チタン膜を形成した後、アルゴンもしくはヘリウム雰囲気で上記熱処理を行なう。さらに、上記第1の膜厚と上記第2の膜厚との和が上記所定の高さと上記第4の膜厚との和より大きく、この第4の膜厚と上記第5の膜厚との差がこの第1の膜厚と所定の高さとの差より大きい。

【0020】本発明の半導体装置の製造方法の第2の様子は、一導電型のシリコン基板の表面の所要の領域にゲート酸化膜を形成し、全面に所定導電型で第1の膜厚を有する多結晶シリコン膜と所望の膜厚を有する第1の酸化シリコン膜とを形成し、この第1の酸化シリコン膜およびこの多結晶シリコン膜をパターニングし、この第1の酸化シリコン膜が載置され、所望の幅を有する多結晶シリコン膜パターンを形成する工程と、全面に第2の膜厚を有する第2の酸化シリコン膜を形成し、異方性エッチングによる第1のエッチバックをこの第2の酸化シリコン膜、上記第1の酸化シリコン膜並びに上記ゲート酸化膜に対して選択的に行ない、上記多結晶シリコン膜パターンの表面に第3の膜厚を有するこの第1の酸化シリコン膜を残置し、この多結晶シリコン膜パターンの側面に酸化シリコン膜スペースを形成する工程と、全面に第4の膜厚を有する窒化シリコン膜を形成し、異方性エッチングによる第2のエッチバックを上記窒化シリコン膜に対して選択的に行ない、上記酸化シリコン膜スペースを介して上記多結晶シリコン膜パターンの側面に窒化シ

リコン膜スペーサを形成する工程と、少なくとも上記多結晶シリコン膜パターン、上記第 1 の酸化シリコン膜および上記酸化シリコン膜スペーサをマスクにしたイオン注入により、上記シリコン基板の表面に逆導電型の拡散層を形成する工程と、異方性エッチングによる第 3 のエッチバックを上記第 1 の酸化シリコン膜並びに上記酸化シリコン膜スペーサに対して選択的に行ない、この第 1 の酸化シリコン膜を除去し、この酸化シリコン膜スペーサを上記第 1 の膜厚より低い所定の高さにする工程と、スパッタリングにより、全面に第 5 の膜厚を有するチタン膜を形成する工程と、熱処理により上記多結晶シリコン膜パターンの表面および上記拡散層の表面にそれぞれ第 1 のチタンシリサイド膜および第 2 のチタンシリサイド膜を形成し、少なくとも未反応のこのチタン膜を選択的に除去してこの第 1 のチタンシリサイド膜およびこの第 2 のチタンシリサイド膜を残置する工程とを有する。

【0021】好ましくは、上記第 5 の膜厚が上記第 3 の膜厚より薄い。

【0022】さらに好ましくは、コリメトリスパッタリングにより上記チタン膜を形成し、プラズマ窒化によりこのチタン膜の表面に第 6 の膜厚を有する窒化チタン膜を形成した後、アルゴンもしくはヘリウム雰囲気で上記熱処理を行なう。さらに、上記第 1 の膜厚と上記第 3 の膜厚との和が上記所定の高さと上記第 5 の膜厚との和より大きく、この第 5 の膜厚と上記第 6 の膜厚との差がこの第 1 の膜厚とこの所定の高さとの差より大きい。

【0023】本発明の半導体装置の製造方法の第 3 の態様は、一導電型のシリコン基板の表面の所要の領域にゲート酸化膜を形成し、全面に所定導電型で第 1 の膜厚を有する多結晶シリコン膜を形成し、この多結晶シリコン膜をパターンニングして所望の幅を有する多結晶シリコン膜パターンを形成する工程と、全面にそれぞれ第 2、第 3 および第 4 の膜厚を有する第 1 の酸化シリコン膜、窒化シリコン絶縁膜および第 2 の酸化シリコン膜を順次形成する工程と、異方性エッチングによる第 1 のエッチバックを上記窒化シリコン膜の表面が露出するまで上記第 3 の酸化シリコン膜に対して行ない、上記第 1 の酸化シリコン膜およびこの窒化シリコン膜を介して上記多結晶シリコン膜パターンの側面にこの第 2 の酸化シリコン膜からなる第 1 の酸化シリコン膜スペーサを形成する工程と、異方性エッチングによる第 2 のエッチバックを上記窒化シリコン膜に対して選択的に行ない、上記第 1 の酸化シリコン膜を介して上記多結晶シリコン膜パターンの側面に窒化シリコン膜スペーサを形成する工程と、異方性エッチングによる第 3 のエッチバックを上記第 1 の酸化シリコン膜並びに上記第 2 の酸化シリコン膜スペーサに対して選択的に行ない、上記多結晶シリコン膜パターンの側面に上記第 1 の膜厚より低い第 1 の高さを有するこの第 1 の酸化シリコン膜からなる第 2 の酸化シリコン膜スペーサを形成し、この第 2 の酸化シリコン膜スペー

サの高さを第 2 の高さに低くする工程と、上記多結晶シリコン膜パターン、上記第 2 の酸化シリコン膜スペーサ、上記窒化シリコン膜スペーサおよび上記第 1 の酸化シリコン膜スペーサをマスクにしたイオン注入により、上記シリコン基板の表面に逆導電型の拡散層を形成する工程と、スパッタリングにより、全面に第 5 の膜厚を有するチタン膜を形成する工程と、熱処理により上記多結晶シリコン膜パターンの表面および上記拡散層の表面にそれぞれ第 1 のチタンシリサイド膜および第 2 のチタンシリサイド膜を形成し、少なくとも未反応のこのチタン膜を選択的に除去してこの第 1 のチタンシリサイド膜およびこの第 2 のチタンシリサイド膜を残置する工程とを有する。

【0024】好ましくは、上記第 5 の膜厚が上記第 2 の膜厚より薄い。

【0025】さらに好ましくは、コリメトリスパッタリングにより上記チタン膜を形成し、プラズマ窒化によりこのチタン膜の表面に第 6 の膜厚を有する窒化チタン膜を形成した後、アルゴンもしくはヘリウム雰囲気で上記熱処理を行なう。さらに、上記第 1 の膜厚と上記第 2 の膜厚との和が上記第 1 の高さと上記第 5 の膜厚との和より大きく、この第 5 の膜厚と上記第 6 の膜厚との差がこの第 1 の膜厚とこの第 1 の高さとの差より大きい。

【0026】本発明の半導体装置の製造方法の第 4 の態様は、一導電型のシリコン基板の表面の所要の領域にゲート酸化膜を形成し、全面に所定導電型で所要の膜厚を有する多結晶シリコン膜を形成し、この多結晶シリコン膜をパターンニングして所望の幅を有する多結晶シリコン膜パターンを形成する工程と、全面に第 1 の膜厚を有する第 1 の酸化シリコン膜を形成し、異方性エッチングによる第 1 のエッチバックをこの第 1 の酸化シリコン膜並びに上記ゲート酸化膜に対して選択的に行ない、上記多結晶シリコン膜パターンの側面に酸化シリコン膜スペーサを形成する工程と、熱酸化により上記多結晶シリコン膜パターンの表面および上記シリコン基板の表面にそれぞれ第 2 の酸化シリコン膜および第 3 の酸化シリコン膜を形成し、この多結晶シリコン膜パターンの膜厚を第 2 の膜厚にする工程と、全面にフォトレジスト膜を形成し、少なくとも上記第 2 の酸化シリコン膜が露出するまでこのフォトレジスト膜に対して第 2 のエッチバックを行なう工程と、上記フォトレジスト膜をマスクにして、酸化シリコン膜に対する選択性の高い異方性エッチングにより上記第 2 の酸化シリコン膜に対して第 3 のエッチバックを行ない、上記多結晶シリコン膜パターンの表面を露出させる工程と、少なくとも上記酸化シリコン膜スペーサをマスクにして、異方性エッチングによる第 4 のエッチバックを上記多結晶シリコン膜パターンに対して選択的に行ない、この多結晶シリコン膜パターンを第 3 の膜厚に薄くする工程と、全面に第 4 の膜厚を有する窒化シリコン膜を形成し、異方性エッチングによる第 5 の

エッチバックをこの窒化シリコン膜に対して選択的に行ない、上記酸化シリコン膜スペーサの側面に窒化シリコン膜スペーサを形成する工程と、少なくとも上記多結晶シリコン膜パターンおよび上記酸化シリコン膜スペーサをマスクにしたイオン注入により、上記シリコン基板の表面に逆導電型の拡散層を形成する工程と、上記窒化シリコン膜スペーサをマスクにして、異方性エッチングによる第6のエッチバックを上記多結晶シリコン膜パターンに対して選択的に行ない、この多結晶シリコン膜パターンの表面に所望の深さを有する凹部を形成する工程と、異方性エッチングによる第7のエッチバックにより上記窒化シリコン膜スペーサを除去し、異方性エッチングによる第8のエッチバックを上記第3の酸化シリコン膜並びに上記酸化シリコン膜スペーサに対して選択的に行ない、この第3の酸化シリコン膜を除去し、上記拡散層の表面を露出させ、この酸化シリコン膜スペーサを所定の高さにする工程と、スパッタリングにより、全面に上記所定の高さと上記第3の膜厚との差より薄い第5の膜厚を有するチタン膜を形成する工程と、熱処理により上記多結晶シリコン膜パターンの表面および上記拡散層の表面にそれぞれ第1のチタンシリサイド膜および第2のチタンシリサイド膜を形成し、少なくとも未反応のこのチタン膜を選択的に除去してこの第1のチタンシリサイド膜およびこの第2のチタンシリサイド膜を残置する工程とを有する。

【0027】好ましくは、コリメトリスパッタリングにより上記チタン膜を形成し、プラズマ窒化によりこのチタン膜の表面に第6の膜厚を有する窒化チタン膜を形成した後、アルゴンもしくはヘリウム雰囲気ですり熱処理を行なう。

【0028】

【実施例】次に、本発明について図面を参照して説明する。

【0029】まず、本発明の第1の実施例による半導体装置の構造について説明する。

【0030】半導体装置の模式的断面図である図1を参照すると、本発明の第1の実施例は、チタンシリサイド膜を含んでなるシリサイド構造のNチャネル型のMOSトランジスタであり、次のようになっている。

【0031】P型シリコン基板101の表面には、膜厚8nm程度のゲート酸化膜102およびフィールド酸化膜（図示せず）と、接合の深さ0.15μm程度のN型拡散層106aとが設けられている。P型シリコン基板101の表面上には、ゲート酸化膜102を介して、ゲート電極113aが設けられている。このゲート電極113aは、260nm程度の膜厚（高さ）で350nm程度の幅（＝ゲート長）のN型の多結晶シリコン膜パターン103aと、この多結晶シリコン膜パターン103aの上面を覆う膜厚80nm程度のチタンシリサイド膜108aととの積層膜から構成されている。このゲート

電極113aの側面には、底面の幅が180nm程度の積層構造の絶縁膜スペーサが設けられている。

【0032】この絶縁膜スペーサは、第1の絶縁膜スペーサである酸化シリコン膜スペーサ114aと、第2の絶縁膜スペーサである窒化シリコン膜スペーサ115aとから構成されている。酸化シリコン膜スペーサ114aの断面形状はL字型をなし、これの膜厚は100nm程度であり、これの高さは200nm程度である。この酸化シリコン膜スペーサ114aの底面はゲート酸化膜102を直接に覆い、この酸化シリコン膜スペーサ114aの（ゲート電極113aの側の）側面の一部（160nm程度の高さまで）は多結晶シリコン膜パターン103aの側面を直接に覆い、この酸化シリコン膜スペーサ114aの側面の残の部分（上端から40nm程度まで）と上端の一部（40nm程度の幅）とはチタンシリサイド膜108aに覆われている。窒化シリコン膜スペーサ115aの幅および高さは、それぞれ80nm程度および300nm程度である。窒化シリコン膜スペーサ115aの底面は直接に上記酸化シリコン膜スペーサ114aに接触し、この窒化シリコン膜スペーサ115aの（ゲート電極113aの側の）側面の一部（100nm程度の高さまで）は直接に上記酸化シリコン膜スペーサ114aに接触し、この側面はゲート電極113aに直接に接触していない。窒化シリコン膜スペーサ115aの上端は、ゲート電極113aの上面の位置より、60nm程度高い位置にある。

【0033】N型拡散層106aの表面には、酸化シリコン膜スペーサ114aに自己整合的に、膜厚80nm程度のチタンシリサイド膜108aが設けられている。これらN型拡散層106aおよびチタンシリサイド膜108aから、ソース・ドレイン領域116aが構成されている。これらゲート酸化膜102、ゲート電極113a、酸化シリコン膜スペーサ114a、窒化シリコン膜スペーサ115aおよびソース・ドレイン領域116aからなる本実施例のMOSトランジスタは、層間絶縁膜110により覆われている。この層間絶縁膜110にはソース・ドレイン領域116a等に達するコンタクト孔が設けられ、これらコンタクト孔を介して金属配線111がソース・ドレイン領域116a等に接続されている。

【0034】上記第1の実施例の半導体装置では（製造方法についての詳細は後述するが）、チタンシリサイド膜108a、108bが形成される前の段階では、多結晶シリコン膜パターンの膜厚は300nm程度であり、チタン膜の膜厚は100nm程度である。この段階では、酸化シリコン膜スペーサ114aの上端（高さ）はこの多結晶シリコン膜パターンの上面（膜厚）より100nm程度低くなっている。その結果、チャネル長方向でこのチタン膜とこの多結晶シリコン膜とが接触する長さは550nm程度となり、シンーソリッドーフィル

ムス (Thin Solid Films) 1991年、第198巻、53頁～66頁の報告に基づき構造のMOSトランジスタと同様に、ゲート長(350nm)に比べて十分に長くなっている。窒素雰囲気でのランプアニールは、650℃で30秒間行ない、さらに850℃で10秒間行なっている。このようにチャネル長方向でのチタン膜と多結晶シリコン膜との接触する長さが0.5μm以上あることから、このランプアニールにより形成されるチタンシリサイド膜108aa、108abは凝集せずにC54構造となり、ほぼ15μΩ・cm程度の低い抵抗率のチタンシリサイド膜となる。

【0035】さらに、上記第1の実施例の半導体装置では、酸化シリコン膜スペーサ114aおよび窒化シリコン膜スペーサ115aからなる上述の構造の絶縁膜スペーサを有するため、この積層構造の絶縁膜スペーサの表面に沿った(ゲート電極113aの一部をなす)チタンシリサイド膜108aaと(ソース・ドレイン領域116aの一部をなす)チタンシリサイド膜108abとの間隔が、上記報告に基づきシリサイド構造のMOSトランジスタにおける絶縁膜スペーサの表面に沿ったゲート電極とソース・ドレイン領域との間隔より広くすることが原理的に可能になり、さらに、(ゲート電極の膜厚と絶縁膜スペーサの高さとが概ね等しい)通常のシリサイド構造のMOSトランジスタにおける絶縁膜スペーサの表面に沿ったゲート電極とソース・ドレイン領域との間隔よりも広くすることが容易になる。それ故、本実施例の半導体装置は、(上記報告に基づきシリサイド構造のMOSトランジスタに対比しては勿論のことであり)通常のシリサイド構造のMOSトランジスタに比べても、ブリッジング現象の抑制(すなわち、ゲート電極とソース・ドレイン領域との間におけるリーク電流の低減、短絡の発生の抑制)が容易になる。

【0036】なお、上記第1の実施例は、Nチャネル型のMOSトランジスタに関するものであるが、本実施例はPチャネル型のMOSトランジスタ、CMOSトランジスタさらにはBiCMOSトランジスタにも適用できる。Pチャネル型のMOSトランジスタの場合、ゲート電極の一部を構成する多結晶シリコン膜パターンの導電型は、目的に応じてPあるいはN型が採用される。また、上記第1の実施例では、第1の絶縁膜スペーサが酸化シリコン膜からなり、第2の絶縁膜スペーサが窒化シリコン膜からなっているが、これに限定されるものではなく、第1の絶縁膜スペーサが窒化シリコン膜からなり、第2の絶縁膜スペーサが酸化シリコン膜からなっているもよい。

【0037】次に、上記第1の実施例による半導体装置の製造方法について説明する。

【0038】半導体装置の製造工程と模式的断面図である図2および図3と図1とを併せて参照すると、上記第1の実施例の半導体装置は、以下のように形成される。

【0039】まず、P型シリコン基板101表面の素子分離領域に、フィールド酸化膜(図示せず)が形成される。このP型シリコン基板101表面の素子形成領域には、熱酸化法により、8nm程度の膜厚を有するゲート酸化膜102が形成される。全面に第1の膜厚である300nm程度の膜厚を有するN型の多結晶シリコン膜が形成された後、この多結晶シリコン膜がパターニングされて、350nm程度の線幅(ゲート長)を有する多結晶シリコンパターン103が形成される。次に、それぞれCVD法により、第2の膜厚である100nm程度の膜厚を有する酸化シリコン膜104aと第3の膜厚である80nm程度の膜厚を有する窒化シリコン膜105aとが順次全面に形成される[図2(a)]。

【0040】次に、トリフルオロメタン(CHF_3)ガスおよび6弗化硫黄(SF_6)ガスをエッチングガスとした異方性エッチングにより、上記窒化シリコン膜105aがエッチバック(第1のエッチバック)され、窒化シリコン膜スペーサ115aが形成される。6弗化硫黄(SF_6)ガスを添加するのは、(酸化シリコン膜104aに対する)窒化シリコン膜105aのエッチングの選択性を高めるためである。この窒化シリコン膜スペーサ115aの高さは、(多結晶シリコン膜パターン103の膜厚と概ね等しく)300nm程度である[図2(b)]。

【0041】次に、L字型の酸化シリコン膜スペーサ114aの形成のために、例えば CHF_3 ガスと一酸化炭素(CO)ガスとの混合ガスをエッチングガスとした異方性エッチングが行なわれ、酸化シリコン膜104aおよびゲート酸化膜102が選択的にエッチバック(第2のエッチバック)される。この場合のエッチングガスとしては、(上記 CHF_3 の他に) C_2F_4 、 C_3F_6 、 C_4F_8 等のフルオロカーボン系のガスと CO ガスとの混合ガスを使用することもできる。このエッチバックはオーバーギミに行なわれ、例えば、酸化シリコン膜スペーサ114aの上端が多結晶シリコン膜パターン103の上面より100nm程度低くなるまで行なわれ、この酸化シリコン膜スペーサ114aは所定の高さである200nm程度の高さを有することになる。このエッチバックにより、P型シリコン基板101の所要の部分の表面が露出される。続いて、これら多結晶シリコン膜パターン103、酸化シリコン膜スペーサ114aおよび窒化シリコン膜スペーサ115aをマスクにした砒素(As)のイオン注入等により、例えば接合の深さが0.15μm程度のN型拡散層106aが形成される[図2(c)]。なお、多結晶シリコン膜パターン103が形成された後、低濃度の砒素もしくは燐(P)のイオン注入を行なう場合もある。さらになお、本実施例をCMOSトランジスタの形成に適用する場合には、砒素のイオン注入および熱押し込みを行なってNチャネル型のMOSトランジスタのソース・ドレイン領域を形成した後、

Pチャネル型のMOSトランジスタのソース・ドレイン領域の形成のための2弗化ボロン (BF_2) のイオン注入を行なうことが好ましい。

【0042】次に、スパッタリングにより、平坦な部分で第4の膜厚である50nm程度の膜厚を有するチタン膜107aが全面に形成される。窒化シリコン膜スペーサ115aの(多結晶シリコン膜パターン103側とは逆の側の)側面におけるこのチタン膜107aの膜厚は25nm程度である。また、(酸化シリコン膜スペーサ114a直上における)窒化シリコン膜スペーサ115aと多結晶シリコン膜パターン103との空隙は、このチタン膜107aにより充填されている。多結晶シリコン膜パターン103上面直上でのチタン膜107aの上面は、窒化チタン膜スペーサ115aの上端の位置より50nm程度(= (酸化シリコン膜104aの膜厚100nm) - (チタン膜107aの膜厚50nm))低い位置にある。多結晶シリコン膜パターン103の幅方向(ゲート長方向であり、チャネル長方向)においてこの多結晶シリコン膜パターン103とこのチタン膜107aとの接触する長さ(接触幅)は、550nm程度になる[図3(a)]。

【0043】次に、650℃で30秒間のランプアニールと850℃で10秒間のランプアニールとが窒素雰囲気中で順次行なわれる。この熱処理により、80nm程度の膜厚を有するチタンシリサイド膜108aa、108abと20nm程度の膜厚を有する窒化チタン膜109aとが形成され、多結晶シリコン膜パターン103が260nm程度の膜厚を有する多結晶シリコン膜パターン103aに変換され、チタン膜107aaが残置される。これにより、多結晶シリコン膜パターン103aおよびチタンシリサイド膜108aaからなるゲート電極113aと、N型拡散層106aおよびチタンシリサイド膜108abからなるソース・ドレイン領域116aとが形成される[図3(b)]。

【0044】多結晶シリコン膜パターン103とチタン膜107aとの接触幅が550nm程度あるため、上記熱処理により、C54構造のチタンシリサイド膜108aaが得られる。これには、酸化シリコン膜スペーサ114aの上端が多結晶シリコン膜パターン103の上面より低くなっていることが、大きく寄与している。この熱処理により、窒化シリコン膜スペーサ115aの表面にも、ある確率分布を有して局所的にチタンシリサイド膜が形成される。しかしながら、窒化シリコン膜スペーサ115aの上端が多結晶シリコン膜パターン103の上面より高いため、窒化シリコン膜スペーサ115a(および酸化シリコン膜スペーサ114a)の表面に沿ったチタンシリサイド膜108aaとチタンシリサイド膜108abとの実効的な間隔が広くなり、従来構造のMOSトランジスタよりブリッジング現象が抑制される。また、チタン膜107aの膜厚が酸化シリコン膜1

04aの膜厚より薄いことから窒化シリコン膜スペーサ115aの上端は多結晶シリコン膜パターン103直上のチタン膜107aの上面より高くなり、チタンシリサイド膜108aaとチタンシリサイド膜108abとを隔てる窒化シリコン膜スペーサ115a(および酸化シリコン膜スペーサ114a)の表面は、ゲート電極113a側の側面とソース・ドレイン領域116a側の側面との2つの側面からなることになる。これらの側面にそれぞれ別々に局所的に形成されるチタンシリサイド膜が接続される確率は、同一面内で局所的に形成されたチタンシリサイド膜が接続される確率より低くなる。この結果、本実施例では、単にチタンシリサイド膜108aaとチタンシリサイド膜108abとを隔てる間隔を広げる以上に、ブリッジング現象の抑制が可能になる。

【0045】なお、650℃のランプアニールを行なう理由は、次の点にある。850℃でのランプアニールをいきなり施すと、シリサイド化反応の反応速度が高いためブリッジング現象も活発になり、目的の達成が困難になる。それ故、まず(比較的)低温の熱処理によりシリ

サイド化反応を行ないC49構造のチタンシリサイド膜を形成し、高温の熱処理によりこのC49構造のチタンシリサイド膜を(相対的に)低い反応速度のもとでC54構造のチタンシリサイド膜に変換する。

【0046】次に、チタン膜107aaと窒化チタン膜109aとが、過酸化水素(H_2O_2)水(アンモニア(NH_4OH))を加えることもある)により選択的にエッチング除去される。これにより、本実施例のMOSトランジスタが完成する[図3(c)]。続いて、例えばテオスBPSG膜の形成、機械的研磨(MCP)による表面の平坦化等により、層間絶縁膜110が形成される。ソース・ドレイン領域116a等に達するコンタクト孔が層間絶縁膜110に形成された後、例えばチタン膜と窒化チタン膜とをバリア膜としたアルミ-シリコン-銅合金膜からなる金属配線111が形成される[図1]。

【0047】なお、ゲート酸化膜102の膜厚、多結晶シリコン膜103パターンの膜厚および線幅、多結晶シリコン膜103aパターンの膜厚、酸化シリコン膜104aの膜厚、酸化シリコン膜スペーサ114aの高さおよび底面の幅、窒化シリコン膜105aの膜厚、N型拡散層106aの接合の深さ、チタン膜107aの膜厚、ランプアニールの温度および時間、チタンシリサイド膜108aaの膜厚、チタンシリサイド膜108abの膜厚および窒化チタン膜109aの膜厚等の数値に関しては、上記第1の実施例に記載された数値に限定されるものではない。

【0048】半導体装置の製造工程の模式的断面図である図4および図5を参照すると、本発明の第2の実施例は、上記第1の実施例とチタン膜の形成方法等が相違し、以下のようになっている。

【0049】まず、上記第1の実施例と同様の方法により、P型シリコン基板101の表面にゲート酸化膜102等が形成され、このゲート酸化膜102の表面上に多結晶シリコン膜パターン103が形成され、この多結晶シリコン膜パターンの側面に（第3の膜厚である80nm程度の膜厚を有する窒化シリコン膜からなる）窒化シリコン膜スペーサ115b、（第2の膜厚である100nm程度の膜厚を有する酸化シリコン膜からなり、所定の高さである250nm程度の高さを有する）酸化シリコン膜スペーサ114bが形成され、N型拡散層106bが形成される。

【0050】N型拡散層106b、酸化シリコン膜スペーサ114bおよび窒化シリコン膜スペーサ115bの寸法形状は、酸化シリコン膜スペーサ114bの高さを除いて、それぞれ上記第1の実施例のN型拡散層106a、酸化シリコン膜スペーサ114aおよび窒化シリコン膜スペーサ115aの寸法形状と同じである。窒化シリコン膜スペーサ115bの上端は（第1の膜厚である300nm程度の膜厚を有する）多結晶シリコン膜パターン103の上面の位置より100nm程度高い位置にあり、酸化シリコン膜スペーサ114bの上端は多結晶シリコン膜パターン103の上面の位置より100nm程度低い位置にある。

【0051】次に、コリメトリスパッタリングにより、平坦な部分において第4の膜厚である100nm程度の膜厚を有するチタン膜107bが形成される。チタン膜107bと多結晶シリコン膜パターン103との接触幅は、500nm程度になる。窒化シリコン膜スペーサ115bの（多結晶シリコン膜パターン103側とは逆の側の）側面におけるこのチタン膜107bの膜厚は高々10nm程度（平坦部での膜厚の1/10程度）である。このチタン膜107bの膜厚の設定に関する説明は、次工程で説明のなかで行なう〔図4（a）〕。

【0052】次に、350℃程度の温度、13Pa程度の圧力のもとで、窒素（N₂）ガスとアンモニア（NH₃）ガスとの混合ガスにより、チタン膜107bの表面がプラズマ窒化され、平坦な部分において第5の膜厚である20nm程度の膜厚を有する窒化チタン膜119bが形成される。またこのプラズマ窒化により、チタン膜117bが残置する〔図4（b）〕。第5の膜厚としては、窒化シリコン膜スペーサ115bの側面におけるチタン膜107bが完全に窒化されるだけの膜厚であることが好ましい。この条件のもとで、窒化チタン膜119bの膜厚が窒化シリコン膜スペーサ115bの上端と酸化シリコン膜スペーサ114bの上端との高さの差

（（第1の膜厚）+（第2の膜厚）-（所定の高さ））より薄いならば、多結晶シリコン膜パターン103を覆って残置されたチタン膜117bとN型拡散層106bの表面に残置されたチタン膜117bとは、この窒化チタン膜119bにより完全に分断される。第4の膜厚と

第5の膜厚（概ね、平坦な部分に残置したチタン膜117bの膜厚に等しい）との差は、第1の膜厚と上記所定の高さとの差より大きいことが好ましい。この場合には、多結晶シリコン膜パターン103の上面を覆って残置するチタン膜117bと、多結晶シリコン膜パターン103の（酸化シリコン膜スペーサ114aに直接に覆われていない）側面を覆って残置するチタン膜117bとが分断されない。

【0053】次に、650℃で30秒間のランプアニールと850℃で10秒間のランプアニールとがアルゴンもしくはヘリウム雰囲気中で順次行なわれる。この熱処理により、80nm程度の膜厚を有するチタンシリサイド膜108ba、108bbが形成され、多結晶シリコン膜パターン103が260nm程度の膜厚を有する多結晶シリコン膜パターン103bに変換され、チタンシリサイド膜108baと窒化チタン膜119bとの間にはチタン膜117baが残置され、チタンシリサイド膜108bbと窒化チタン膜119bとの間にはチタン膜117bbが残置される。これにより、多結晶シリコン膜パターン103bおよびチタンシリサイド膜108baからなるゲート電極113bと、N型拡散層106bおよびチタンシリサイド膜108bbからなるソース・ドレイン領域116bとが形成される〔図4（c）〕。ランプアニールをアルゴンもしくはヘリウム雰囲気で行なうのは、この熱処理による窒化チタン膜の形成を避けるためである。

【0054】ここで、上記ランプアニールも2段階に分けて行なわれる理由を述べておく。1つのMOSトランジスタでのゲート電極とソース・ドレイン領域との間のブリッジング現象のみに着目するならば、高温のランプアニールのみでよいのであるが、フィールド酸化膜を介して隣接する2つのソース・ドレイン領域の間のブリッジング現象を考慮するならば、上述のように2段階のランプアニールが好ましいことになる。

【0055】次に、上記第1の実施例と同様の方法により、窒化シリコン膜119bおよびチタン膜117b、117ba、117bbが除去され、本実施例によるMOSトランジスタが完成する〔図5（a）〕。さらに、層間絶縁膜110、コンタクト孔および金属配線111が形成される〔図5（b）〕。

【0056】上記第2の実施例は、上記第1の実施例の有する効果を有する。さらに本実施例は、コリメトリスパッタリングによるチタン膜の形成とプラズマ窒化による低温でのチタン膜表面への窒化チタン膜の形成とが行なわれるため、上記第1の実施例と異なり、同一のMOSトランジスタに所属するゲート電極とソース・ドレイン領域との間のブリッジング現象はほぼ完全に抑止される。

【0057】なお、多結晶シリコン膜スペーサ103の膜厚および線幅、多結晶シリコン膜スペーサ103bの

膜厚、酸化シリコン膜スペーサ 114b の膜厚および高さ、N 型拡散層の接合の深さ、チタン膜 107b の膜厚、プラズマ窒化の温度および圧力、ランプアニールの温度および時間、チタン膜 117d の膜厚、窒化チタン膜 119b の膜厚、チタンシリサイド膜 108ba の膜厚およびチタンシリサイド膜 108bb の膜厚等に関しては、上記第 2 の実施例に記載された数値に限定されるものではない。

【0058】なお、上記第 1 の実施例においてチタン膜が通常のスパッタリングの代りにコリメトルスパッタリングにより形成されるならば、上記第 2 の実施例ほどではないが、上記第 1 の実施例以上にブリッジング現象が抑制できる。

【0059】半導体装置の製造工程の模式的断面図である図 6 および図 7 を参照すると、本発明の第 3 の実施例は、次のように形成される。

【0060】まず、P 型シリコン基板 101 の表面に、フィールド酸化膜（図示せず）、ゲート酸化膜 102 が順次形成される。全面に第 1 の膜厚である 300nm 程度の膜厚を有する N 型の多結晶シリコン膜と 200nm 程度の膜厚を有する（第 1 の）酸化シリコン膜とが形成される。これらの酸化シリコン膜および多結晶シリコン膜がパターニングされ、酸化シリコン膜 154 が載置された状態を有し、350nm 程度の線幅（ゲート長）を有する多結晶シリコン膜パターン 103 が形成される。全面に、第 2 の膜厚である 100nm 程度の膜厚を有する（第 2 の）酸化シリコン膜 104c が形成される〔図 6（a）〕。

【0061】次に、CHF₃ ガスと CO ガスとの混合ガスをエッチングガスとした異方性エッチングが行なわれ、酸化シリコン膜 104c、酸化シリコン膜 154 およびゲート酸化膜 102 が選択的にエッチバック（第 1 のエッチバック）され、第 3 の膜厚である 100nm 程度の膜厚を有する酸化シリコン膜 154c が残置され、400nm 程度の高さを有する酸化シリコン膜スペーサ 114c が形成される。第 4 の膜厚である 80nm 程度の膜厚を有する窒化シリコン膜 105c が全面に形成される〔図 6（b）〕。

【0062】次に、テトラフルオロメタン（CF₄）ガスと水素（H₂）ガスと窒素（N₂）ガスとモノシラン（SiH₄）ガスとの混合ガスをエッチングガスとした異方性エッチングにより、上記窒化シリコン膜 105c が選択的にエッチバック（第 2 のエッチバック）され、400nm 程度の高さを有する窒化シリコン膜スペーサ 115c が形成される。本実施例では、上記第 1（第 2）の実施例と異なり、窒化シリコン膜スペーサ 115c の高さの設定は、多結晶シリコン膜パターン 103 の膜厚と酸化シリコン膜スペーサ 114c を構成する酸化シリコン膜 104c の膜厚との和に規定されずに行なえる。このエッチバックにおいてエッチングガスに SiH

4 ガスを添加するのは、酸化シリコン膜に対してのみならず、シリコン基板に対しての窒化シリコン膜 105c のエッチングの選択性を確保するためである。なお、酸化シリコン膜スペーサ 114c の形成（図 6（b）参照）後に、少なくとも露出された P 型シリコン基板 101 の表面に、例えば熱酸化等により酸化シリコン膜を再び形成しておくならば、上記第 1 の実施例と同様に、CHF₃ ガスおよび SF₆ ガスをエッチングガスとした異方性エッチングにより窒化シリコン膜スペーサを形成することが可能になる。

【0063】次に、上記第 1 のエッチバックと同じ条件で第 3 のエッチバックが行なわれる。これにより、酸化シリコン膜 154c が除去され、多結晶シリコン膜スペーサ 103 の上面が露出される。同時に、酸化シリコン膜スペーサ 114c は、（所定の高さである）200nm 程度の高さを有する酸化シリコン膜スペーサ 114c a になる。続いて、上記多結晶シリコン膜スペーサ 103、酸化シリコン膜スペーサ 114c a および窒化シリコン膜スペーサ 115c をマスクにした As のイオン注入等により、例えば接合の深さが 0.15μm 程度の N 型拡散層 106c が形成される〔図 6（c）〕。この N 型拡散層 106c の形成は、窒化シリコン膜スペーサ 115c が形成された直後もしくは酸化シリコン膜スペーサ 114c が形成された直後に行なってもよい。本実施例では、窒化シリコン膜スペーサ 115c の底面が直接に P 型シリコン基板 101 の表面に接触しているため、ホットキャリアの注入等による素子特性の劣化を抑制するためには、この N 型拡散層 106c と窒化シリコン膜スペーサ 115c の底面とが完全にオーバーラップするように設定しておくことが好ましい。

【0064】なお、多結晶シリコン膜パターン 103 が形成された後、低濃度の砒素のイオン注入を行なう場合もある。さらになお、本実施例を CMOS トランジスタの形成に適用する場合には、酸化シリコン膜スペーサ 114c が形成された直後に N チャネル型の MOS トランジスタのソース・ドレイン領域を形成し、窒化シリコン膜スペーサ 115c もしくは酸化シリコン膜スペーサ 114c a が形成された直後に P チャネル型の MOS トランジスタのソース・ドレイン領域を形成することが好ましい。

【0065】次に、上記第 1 の実施例と同様に、平坦な部分で第 5 の膜厚である 50nm 程度の膜厚を有するチタン膜 107c が、スパッタリングにより全面に形成される〔図 7（a）〕。

【0066】続いて、上記第 1 の実施例と同様に、650℃で 30 秒間のランプアニールと 850℃で 10 秒間のランプアニールとが窒素雰囲気中で順次行なわれ、80nm 程度の膜厚を有するチタンシリサイド膜 108c a、108c b と 20nm 程度の膜厚を有する窒化チタン膜 109c とが形成され、多結晶シリコン膜パターン

103が260nm程度の膜厚を有する多結晶シリコン膜パターン103cに変換され、チタン膜107caが残置される。これにより、多結晶シリコン膜パターン103cおよびチタンシリサイド膜108caからなるゲート電極113cと、N型拡散層106cおよびチタンシリサイド膜108cbからなるソース・ドレイン領域116cとが形成される〔図7(b)〕。

【0067】引き続いて、上記第1、第2の実施例と同様に、窒化チタン膜109cおよびチタン膜107acが選択的にエッチング除去され、層間絶縁膜110、コンタクト孔および金属配線111が形成される〔図7(c)〕。

【0068】上記第3の実施例は、上記第1の実施例の有する効果を有する。また本実施例は、上述のように、CMOSトランジスタへの適用に対しては上記第1の実施例より優れている。なお、上記第2の実施例で採用されたチタン膜の形成、プラズマ窒化によるチタン膜表面への窒化チタン膜の形成およびアルゴンもしくはヘリウム雰囲気での熱処理を、本実施例に適用することも可能である。

【0069】なお、多結晶シリコン膜スペーサ103の線幅および膜厚、多結晶シリコン膜スペーサ103cの膜厚、酸化シリコン膜104cの膜厚、酸化シリコン膜154の膜厚、酸化シリコン膜154cの膜厚、窒化シリコン膜105cの膜厚、酸化シリコン膜スペーサ114cの高さ、N型拡散層106cの接合の深さ、チタン膜107cの膜厚、チタンシリサイド膜108caの膜厚、チタンシリサイド膜108cbの膜厚および窒化チタン膜の膜厚等に関しては、上記第3の実施例に記載した数値に限定されるものではない。

【0070】半導体装置の製造工程の模式的断面図である図8および図9を参照すると、本発明の第4の実施例は、上記第2の実施例の応用例であり、3層構造の絶縁膜スペーサを有したサリサイド構造のNチャネル型のMOSトランジスタであり、以下のように形成される。

【0071】まず、上記第1の実施例と同様の方法により、P型シリコン基板101の表面にゲート酸化膜102等が形成され、このゲート酸化膜102の表面上に第1の膜厚である300nm程度の膜厚と350nm程度の線幅（ゲート長）とを有する多結晶シリコン膜パターン103が形成される。次に、第2の膜厚である70nm程度の膜厚を有する（第1の）酸化シリコン膜104d、第3の膜厚である50nm程度の膜厚を有する窒化シリコン膜105dおよび第4の膜厚である60nm程度の膜厚を有する（第2の）酸化シリコン膜124dが、CVD法により全面に順次形成される〔図8(a)〕。

【0072】次に、CHF₃ガスとCOガスとの混合ガスをエッチングガスとした異方性エッチングにより、窒化シリコン膜105dの上面が露出するまで酸化シリコ

ン膜124dが選択的にエッチバック（第1のエッチバック）され、酸化シリコン膜スペーサ134dが形成される。この酸化シリコン膜スペーサ134dの高さは、ほぼ多結晶シリコン膜パターン103の膜厚に等しい〔図8(b)〕。

【0073】次に、CHF₃ガスおよびSF₆ガスをエッチングガスとした異方性エッチングにより、酸化シリコン膜104dの上面が露出するまで窒化シリコン膜105dが選択的にエッチバック（第2のエッチバック）され、窒化シリコン膜スペーサ115dが形成される。この窒化シリコン膜スペーサ115dの高さも、ほぼ多結晶シリコン膜パターン103の膜厚に等しい。酸化シリコン膜スペーサ134dの上端は、窒化シリコン膜スペーサ115dの上端より、50nm程度高い位置にある〔図8(c)〕。

【0074】次に、再びCHF₃ガスとCOガスとの混合ガスをエッチングガスとした異方性エッチングにより、酸化シリコン膜104d、酸化シリコン膜スペーサ134dおよびゲート酸化膜102が選択的にエッチバック（第3のエッチバック）される。このエッチバックにより、酸化シリコン膜104dと酸化シリコン膜スペーサ134dとはそれぞれ100nm程度の高さだけエッチングされ、所定の高さである270nm程度の高さを有する酸化シリコン膜スペーサ114dと200nm程度の高さを有する酸化シリコン膜スペーサ134daとにそれぞれ変換される。この段階で、酸化シリコン膜スペーサ134daの上端は、窒化シリコン膜スペーサ115dの上端より50nm程度低い位置にある。また、酸化シリコン膜スペーサ114dの上端は、窒化シリコン膜スペーサ115dの上端および多結晶シリコン膜パターン103の上面より、それぞれ100nm程度および30nm程度低い位置にある。続いて、例えば接合の深さが0.15μm程度のN型拡散層106dが形成される〔図9(a)〕。

【0075】次に、上記第2の実施例と同様の方法により、平坦な部分において第5の膜厚である80nm程度の膜厚を有するチタン膜（図示せず）が形成される。このチタン膜と多結晶シリコン膜パターン103との接触幅は、510nm程度である。続いて、上記第2の実施例と同様のプラズマ窒化により、上記チタン膜の表面に第6の膜厚である20nm程度の膜厚を有する窒化チタン膜119dが形成され、チタン膜117dが残置される。引き続いて、上記第2の実施例と同様のランブアニールが施され、80nm程度の膜厚を有するチタンシリサイド膜108da、108dbが形成され、多結晶シリコン膜パターン103が260nm程度の膜厚を有する多結晶シリコン膜パターン103dに変換され、チタンシリサイド膜108daと窒化チタン膜119dとの間にはチタン膜117daが残置され、チタンシリサイド膜108dbと窒化チタン膜119dの間にはチタ

ン膜 117db が残置される。これにより、多結晶シリコン膜パターン 103d およびチタンシリサイド膜 108da からなるゲート電極 113d と、N 型拡散層 106d およびチタンシリサイド膜 108db からなるソース・ドレイン領域 116d とが形成される〔図 9 (b)〕。

【0076】続いて、上記第 1 の実施例等の同様の方法により、窒化チタン膜 119d、チタン膜 117d、117da、117db が選択的にエッチング除去され、層間絶縁膜 110、コンタクト孔および金属配線 111 が形成される〔図 9 (c)〕。

【0077】上記第 4 の実施例は、上記第 2 の実施例の有する効果を有している。さらに本実施例は上記第 2 の実施例より製造工程が複雑にはなるが、上記ランブアニールを施す前段階で上記多結晶シリコン膜パターン 103 を覆うチタン膜 117d と上記 N 型拡散層 106d の表面を覆うチタン膜 117d とを分断するための窒化チタン膜 119d が、窒化シリコン膜スペーサ 115d の側面と酸化シリコン膜スペーサ 134da の側面とに形成されるため、この分断が確実に行なわれる。その結果、本実施例によるブリッジング現象の抑止は、上記第 2 の実施例より確実に行なわれる。なお、本実施例において、チタン膜の形成およびこのチタン膜の熱処理を上記第 1 の実施例と同様に行なうならば、上記第 1 の実施例と同様の効果を有する半導体装置が得られる。

【0078】なお、多結晶シリコン膜パターン 103 の線幅および膜厚、多結晶シリコン膜パターン 103d の膜厚、酸化シリコン膜 104d の膜厚、窒化シリコン膜 105d の膜厚、酸化シリコン膜 124d の膜厚、酸化シリコン膜スペーサ 114d の高さ、N 型拡散層 106d の接合の深さ、成膜時点でのチタン膜の膜厚、チタンシリサイド膜 108da の膜厚、チタンシリサイド膜 108db の膜厚および窒化チタン膜 109d の膜厚等に関しては、上記第 4 の実施例に記載した数値に限定されるものではない。

【0079】上記第 1～第 4 の実施例では、多結晶シリコン膜パターンとチタン膜との接触幅が多結晶シリコン膜パターンの線幅（ゲート長）より広くするために、少なくとも第 1 の絶縁膜スペーサと第 2 の絶縁膜スペーサとを含んでなる積層絶縁膜スペーサが用いられた。次に、1 層の絶縁膜スペーサのみからなる絶縁膜スペーサが用いられるぬもかわらず、多結晶シリコン膜パターンとチタン膜との接触幅が多結晶シリコン膜パターンの線幅（ゲート長）より広くる実施例について説明する。

【0080】半導体装置の製造工程の模式的断面図である図 10、図 11 および図 12 を参照すると、本発明の第 5 の実施例は、次のように形成される。

【0081】まず、P 型シリコン基板 201 表面の素子分離領域に、フィールド酸化膜（図示せず）が形成される。この P 型シリコン基板 201 表面の素子形成領域に

は、熱酸化法により、8nm 程度の膜厚を有するゲート酸化膜 202 が形成される。全面に 400nm 程度の膜厚を有する N 型の多結晶シリコン膜が形成された後、この多結晶シリコン膜がパターニングされて、350nm 程度の線幅（ゲート長）を有する多結晶シリコン膜パターン 203a が形成される。次に、CVD 法により、第 1 の膜厚である 100nm 程度の膜厚を有する（第 1 の）酸化シリコン膜 204a が順次全面に形成される〔図 10 (a)〕。

- 10 【0082】次に、 CHF_3 ガスと CO ガスとの混合ガスをエッチングガスとした異方性エッチングが行なわれ、酸化シリコン膜 204a およびゲート酸化膜 202 が選択的にエッチバック（第 1 のエッチバック）され、400nm 程度の高さを有する酸化シリコン膜スペーサ 214a が形成される。熱酸化が施されるにより、上記多結晶シリコン膜パターン 203a は第 2 の膜厚である 390nm 程度の膜厚を有する多結晶シリコン膜パターン 203aa に変換され、この多結晶シリコン膜パターン 203aa の表面には 20nm 程度の膜厚を有する
- 20 （第 2 の）酸化シリコン膜 244aa が形成され、ゲート酸化膜 202 が除去された上記 P 型シリコン基板 201 の表面には 10nm 程度の膜厚を有する（第 3 の）酸化シリコン膜 244ab が形成される。全面に、フォトレジスト膜 251a が塗布、形成される〔図 10 (b)〕。

- 【0083】このフォトレジスト膜 251a を設ける目的が後工程の第 3 のエッチバックの際に上記酸化シリコン膜 244ab をこのエッチバックから保護することにあることから、このフォトレジスト膜 251a の上面の高さが場所によらず均一にできるならば、このフォトレジスト膜 251a が酸化シリコン膜 244aa の表面を覆っていないとしても良いこのになる。この場合には次工程の第 2 のエッチバックを省くことができる。しかしながら、このフォトレジスト膜 251a の上面の高さが場所によらず均一にすることが困難なため、このフォトレジスト膜 251a は酸化シリコン膜 244aa の表面を覆っていることが好ましいことになる。

- 【0084】次に、 CF_4 ガスと O_2 ガスとの混合ガスをエッチングガスとした異方性エッチングが行なわれ、
- 40 少なくとも酸化シリコン膜スペーサ 214a の上端が露出するまで上記フォトレジスト膜 251a が選択的にエッチバック（第 2 のエッチバック）され、フォトレジスト膜 251aa が残置される。続いて、 CHF_3 ガスと CO ガスとの混合ガスをエッチングガスとした異方性エッチングが行なわれ、多結晶シリコン膜パターン 203aa の上面が完全に露出するまで酸化シリコン膜 244aa および酸化シリコン膜スペーサ 214a が選択的にエッチバック（第 3 のエッチバック）され、この酸化シリコン膜 244aa が完全に除去され、酸化シリコン膜
- 50 スペーサ 214a は 380nm 程度の高さを有する酸化

シリコン膜スペーサ214aaに変換される。なお、 CF_4 ガスと O_2 ガスと H_2 ガスとの混合ガスをエッチングガスとした異方性エッチングにより、フォトレジスト膜251aのエッチバックに引き続いて酸化シリコン膜244aaおよび酸化シリコン膜スペーサ214aのエッチバックを行なう（第2および第3のエッチバックを1回のエッチバックで済ませる）という方法も考えられるが、上述のように、フォトレジスト膜251aの上面の高さを場所によらず均一にすることが困難なため、この方法は好ましくない。

【0085】次に、（上記フォトレジスト膜251aaおよび酸化シリコン膜スペーサ214aaをマスクにして）臭化水素（ HBr ）ガスをエッチングガスとした異方性エッチングにより、多結晶シリコン膜パターン203aaが選択的にエッチバック（第4のエッチバック）され、第3の膜厚である250nm程度の膜厚を有する多結晶シリコン膜パターン203abが残置される。酸化シリコン膜スペーサ214aaの上端は、この多結晶シリコン膜パターン203abの上面より130nm程度高い位置にある〔図10（c）〕。

【0086】次に、フォトレジスト膜251aaが例えば O_2 プラズマによるアッシングにより除去される。全面に第4の膜厚である80nm程度の膜厚を有する窒化シリコン膜（図示せず）が形成される。 CF_4 ガスと H_2 ガスと N_2 ガスと SiH_4 ガスとの混合ガスをエッチングガスとした異方性エッチングにより、上記窒化シリコン膜が選択的にエッチバック（第5のエッチバック）され、酸化シリコン膜スペーサ214aaの多結晶シリコン膜パターン203abの側の側面には130nm程度の高さを有する窒化シリコン膜スペーサ215aaが形成され、酸化シリコン膜スペーサ214aaの逆の側の側面には380nm程度の高さを有する窒化シリコン膜スペーサ215abが形成される〔図11（a）〕。

【0087】次に、多結晶シリコン膜パターン203ab、酸化シリコン膜スペーサ214aaおよび窒化シリコン膜スペーサ215ab等をマスクにしたAsのイオン注入等により、接合の深さが0.15 μm 程度のN型拡散層206aが形成される。なお、N型拡散層206aの形成は、フォトレジスト膜251aaが除去された直後に行なうこともできる。例えば上記第4のエッチバックと同様の方法による第6のエッチバックが行なわれ、上記多結晶シリコン膜パターン203abは上面の中央部にゲート幅の方向（チャネル幅の方向）に平行で、かつ所望の深さである50nm程度の深さの凹部を有する多結晶シリコン膜パターン203acに変換される〔図11（b）〕。

【0088】なお、多結晶シリコン膜203acに変換するための第6のエッチバックは、異方性エッチングではなく等方性エッチングでもよい。さらになお、第5のエッチバックが CHF_3 ガスおよび SF_6 ガスをエッチ

ングガスとした異方性エッチングにより行なわれるならば、この第6のエッチバックが省略できる。この場合に形成される2種類の窒化シリコン膜スペーサの高さは、それぞれ窒化シリコン膜スペーサ215aa、215abの高さより低くなる。いずれの場合においても、酸化シリコン膜244abにより、これらのエッチバックの際にN型拡散層206a（もしくはP型シリコン基板101）の表面が保護される。

【0089】次に、第5のエッチバックと同様の方法である第7のエッチバックにより、窒化シリコン膜スペーサ215aa、215abが除去される。なお、この段階では酸化シリコン膜244abが残置するため、（本実施例をPチャネル型のMOSトランジスタに適用した場合でも）多結晶シリコン膜パターンがN型であるならば、熱燐酸により窒化シリコン膜スペーサ215aa、215abの除去を行なえる。続いて、（上記第3のエッチバックと同様に） CHF_3 ガスと CO ガスとの混合ガスをエッチングガスとした異方性エッチングが行なわれ、酸化シリコン膜スペーサ214aaおよび酸化シリコン膜244abが選択的にエッチバック（第8のエッチバック）される。これにより、酸化シリコン膜スペーサ214aaは所定の高さである370nm程度の高さを有する酸化シリコン膜スペーサ214abに変換され、酸化シリコン膜244abは除去される〔図11（c）〕。なお、上記多結晶シリコン膜パターン203acの凹部の所望の深さは、酸化シリコン膜スペーサ214abの上端の高さと多結晶シリコン膜パターン203ab（多結晶シリコン膜パターン203ac）の上面の高さとの差より小さいことが好ましい。

【0090】次に、上記第1の実施例と同様の方法により、平坦な部分において第5の膜厚である50nm程度の膜厚を有するチタン膜207aが全面に形成される。チタン膜207aと多結晶シリコン膜パターン203acとの接触幅は、550nm程度である。（チタン膜207aの膜厚である）第5の膜厚は、（酸化シリコン膜スペーサ214abの上端の高さである）所定の高さと（多結晶シリコン膜パターン203ab（多結晶シリコン膜パターン203ac）の上面の高さである）第3の膜厚との差より薄いことが好ましい。一方、第5の膜厚と上記凹部の所望の深さとの間の好ましい関係は、一義的に決定されるものではなく、チタン膜207aのステップカバリッジおよびこの凹部の幅等により決定される〔図12（a）〕。

【0091】続いて、上記第1の実施例と同様に、650℃で30秒間のランプアニールと850℃で10秒間のランプアニールとが窒素雰囲気中で順次行なわれる。この熱処理により、80nm程度の膜厚を有するチタンシリサイド膜208aa、208abと20nm程度の膜厚を有する窒化チタン膜209aとが形成され、多結晶シリコン膜パターン203acは厚い部分で210nm

程度の膜厚を有する多結晶シリコン膜パターン 203 a d に変換され、チタン膜 207 a a が残置される。これにより、多結晶シリコン膜パターン 203 a d およびチタンシリサイド膜 208 a a からなるゲート電極 213 a と、N 型拡散層 206 a およびチタンシリサイド膜 208 a b からなるソース・ドレイン領域 216 a とが形成される〔図 12 (b)〕。

【0092】次に、上記第 1 の実施例と同様に、チタン膜 207 a a と窒化チタン膜 209 a とが、 H_2 O_2 水 (NH_4 OH を加えることもある) により選択的にエッチング除去される。これにより、本実施例の MOS トランジスタが完成する。続いて、例えばテオス BPSG 膜の形成、機械的研磨 (MCP) により表面の平坦化等により、層間絶縁膜 210 が形成される。ソース・ドレイン領域 216 a 等に達するコンタクト孔が層間絶縁膜 210 に形成された後、例えばチタン膜と窒化チタン膜とをバリア膜としたアルミシリコン銅合金膜からなる金属配線 211 が形成される〔図 12 (c)〕。

【0093】上記第 5 の実施例は、上記第 1 の実施例の有する効果を有する。また本実施例によれば、酸化シリコン膜スペーサ 214 a b の上端と多結晶シリコン膜パターン 203 a b (多結晶シリコン膜パターン 203 a c) の上面との高さの差に対しては、上記第 1、第 2 および第 4 の実施例 (多結晶シリコン膜パターンに直接に接触する酸化シリコン膜スペーサの膜厚に依存する) と異なり、設定の自由度が高くなるという利点がある。さらに、本実施例は、CMOS トランジスタへの適用に対しては上記第 3 の実施例と同様の効果を有する。さらにまた、本実施例は、上記第 1 ~ 第 4 の実施例と異なり絶縁膜スペーサが酸化シリコン膜スペーサのみから構成されているため、ホットキャリアの注入等により素子特性の劣化に関しては、上記第 1 ~ 第 4 の実施例より優れている。

【0094】なお、ゲート酸化膜 202 の膜厚、多結晶シリコン膜パターン 203 a の線幅および膜厚、多結晶シリコン膜パターン 203 a a の膜厚、多結晶シリコン膜パターン 203 a b の膜厚、酸化シリコン膜 204 a の膜厚、酸化シリコン膜 244 a a の膜厚、酸化シリコン膜 244 a b の膜厚、酸化シリコン膜スペーサ 214 a b の高さ、窒化シリコン膜スペーサ 215 a a の膜厚、窒化シリコン膜スペーサ 215 a b の膜厚、多結晶シリコン膜パターン 203 a c の凹部の深さ、N 型拡散層 206 a の接合の深さ、チタン膜 207 a の膜厚、ランブアニールの温度および時間、チタンシリサイド膜 208 a a の膜厚、チタンシリサイド膜 208 a b の膜厚および窒化チタン膜 209 a の膜厚等に関しては、上記第 5 と実施例に記載した数値に限定されるものではない。

【0095】半導体装置の製造工程の模式的断面図である図 13、図 14 および図 15 を参照すると、本発明の

第 6 の実施例は、上記第 5 の実施例とチタン膜の形成方法等が相違し、以下のようになっている。

【0096】まず、上記第 5 の実施例と同様の方法により、P 型シリコン基板 201 の表面にゲート酸化膜 202 等が形成される。このゲート酸化膜 202 の表面に、350 nm 程度の線幅 (ゲート長) と 400 nm 程度の膜を有する多結晶シリコン膜 (図示せず) が形成される。全面に、第 1 の膜厚である 180 nm 程度の膜厚を有する (第 1 の) 酸化シリコン膜 (図示せず) が形成され、この酸化シリコン膜とゲート酸化膜 202 とがエッチバック (第 1 のエッチバック) され、400 nm 程度の高さを有する酸化シリコン膜スペーサ 214 b が形成される。さらに熱酸化が施されることにより、上記多結晶シリコン膜パターンは第 2 の膜厚である 390 nm の膜厚を有する多結晶シリコン膜パターン 203 b a に変換され、この多結晶シリコン膜パターン 203 b a の表面には 20 nm 程度の膜厚を有する (第 2 の) 酸化シリコン膜 244 b a が形成され、ゲート酸化膜 202 が除去された上記 P 型シリコン基板 201 の表面には 10 nm 程度の膜厚を有する (第 3 の) 酸化シリコン膜 244 a b が形成される。多結晶シリコン膜パターン 203 b a および酸化シリコン膜スペーサ 214 b をマスクにした As のイオン注入等が行なわれ、P 型シリコン基板 201 の表面に 0.15 μ m 程度の接合の深さを有する N 型拡散層 206 b が形成される〔図 13 (a)〕。

【0097】次に、上記第 5 の実施例と同様の方法により、全面にフォトレジスト膜 (図示せず) が塗布、形成され、このフォトレジスト膜がエッチバック (第 2 のエッチバック) され、フォトレジスト膜 251 b a が残置する。続いて、酸化シリコン膜 244 b a および酸化シリコン膜スペーサ 214 b が選択的にエッチバック (第 3 のエッチバック) され、多結晶シリコン膜パターン 203 b a の上面が露出され、380 nm 程度の高さを有する酸化シリコン膜スペーサ 214 b a が残置される。さらに、多結晶シリコン膜パターン 203 b a が選択的にエッチバック (第 4 のエッチバック) され、第 3 の膜厚である 250 nm 程度の膜厚を有する多結晶シリコン膜パターン 203 b b が残置される。酸化シリコン膜スペーサ 214 b a の上端は、この多結晶シリコン膜パターン 203 b b の上面より 130 nm 程度高い位置にある〔図 13 (b)〕。

【0098】次に、上記第 5 の実施例と同様の方法により、フォトレジスト膜 251 b a が O_2 プラズマによるアッシングにより除去され、全面に第 4 の膜厚である 50 nm 程度の膜厚を有する窒化シリコン膜 (図示せず) が形成され、この窒化シリコン膜が選択的にエッチバック (第 5 のエッチバック) され、酸化シリコン膜スペーサ 214 b a の多結晶シリコン膜パターン 203 b b の側の側面には 130 nm 程度の高さを有する窒化シリコン膜スペーサ 215 b a が形成され、酸化シリコン膜ス

ペーサ 214ba の逆の側の側面には 380nm 程度の高さを有する窒化シリコン膜スペーサ 215bb が形成される。さらに、酸化シリコン膜スペーサ 214ba, 酸化シリコン膜 244bb および窒化シリコン膜スペーサ 215ba, 215bb をマスクにして上記多結晶シリコン膜パターン 203bc が選択的にエッチバック（第 6 のエッチバック）される。この第 6 のエッチバックにより、この多結晶シリコン膜パターン 203bb は、上面の中央部にゲート幅の方向（チャネル幅の方向）に平行で、かつ所望の深さである 30nm 程度の深さの凹部を有する多結晶シリコン膜パターン 203bc に変換される〔図 13 (c)〕。

【0099】次に、上記第 5 の実施例と同様に、第 7 のエッチバックにより窒化シリコン膜スペーサ 215ba, 215bb が除去される。なお本実施例においても、この段階では酸化シリコン膜 244bb が残置するため、（本実施例を P チャネル型の MOS トランジスタに適用した場合でも）多結晶シリコン膜パターンが N 型であるならば、熱燐酸により窒化シリコン膜スペーサ 215ba, 215bb の除去を行なえる。続いて、酸化シリコン膜スペーサ 214ba および酸化シリコン膜 244ba が選択的にエッチバック（第 8 のエッチバック）される。これにより、酸化シリコン膜スペーサ 214ba は所定の高さである 370nm 程度の高さを有する酸化シリコン膜スペーサ 214bb に変換され、酸化シリコン膜 244bb は除去される。次に、上記第 2 の実施例と同様に、コリメトリスパッタリングにより、平坦な部分において第 5 の膜厚である 70nm 程度の膜厚を有するチタン膜 207b が形成される。チタン膜 207b と多結晶シリコン膜パターン 203bc との接触幅は、520nm 程度になる。酸化シリコン膜スペーサ 214bb の側面におけるこのチタン膜 207b の膜厚は高々 7nm 程度（平坦部での膜厚の 1/10 程度）である。このチタン膜 207b の膜厚（第 5 の膜厚）は、酸化シリコン膜スペーサ 214bb の上端と多結晶シリコン膜パターン 203bb（多結晶シリコン膜パターン 203bc）の上面との高さの差（＝所定の高さ－第 3 の膜厚）より薄いことが好ましい〔図 14 (a)〕。

【0100】次に、上記第 2 の実施例と同様に、350℃程度の温度、13Pa 程度の圧力のもとで、N₂ ガスと NH₃ ガスとの混合ガスにより、チタン膜 207b の表面がプラズマ窒化され、平坦な部分において第 6 の膜厚である 20nm 程度の膜厚を有する窒化チタン膜 219b が形成される。またこのプラズマ窒化により、チタン膜 217b が残置する〔図 14 (b)〕。このチタン膜 217b による多結晶シリコン膜パターン 203bc の表面の連続的な被覆性という要請から、上記チタン膜 207b の膜厚（第 5 の膜厚）は、多結晶シリコン膜パターン 203bc の上記凹部の所望の深さと窒化チタン膜 219b の膜厚（第 6 の膜厚）との和より厚いことが

好ましい。

【0101】次に、上記第 2 の実施例と同様に、650℃で 30 秒間のランプアニールと 850℃で 10 秒間のランプアニールとがアルゴンもしくはヘリウム雰囲気中で順次行なわれる。この熱処理により、80nm 程度の膜厚を有するチタンシリサイド膜 208ba, 208bb が形成され、多結晶シリコン膜パターン 203bc が 210nm 程度の膜厚を有する多結晶シリコン膜パターン 203bd に変換され、チタンシリサイド膜 208ba と窒化チタン膜 219b との間にはチタン膜 217ba が残置され、チタンシリサイド膜 208bb と窒化チタン膜 219b との間にはチタン膜 217bb が残置される。これにより、多結晶シリコン膜パターン 203bd およびチタンシリサイド膜 208ba からなるゲート電極 213b と、N 型拡散層 206b およびチタンシリサイド膜 208bb からなるソース・ドレイン領域 216b とが形成される〔図 14 (c)〕。続いて、上記第 5 の実施例等と同様の方法により、層間絶縁膜 210, コンタクト孔および金属配線 211 が形成される〔図 15〕。

【0102】上記第 6 の実施例は、上記第 5 の実施例の有する効果を有する。さらに、本実施例は、上記第 2 の実施例の有する効果を有する。

【0103】なお、多結晶シリコン膜パターン 203ba の線幅および膜厚、多結晶シリコン膜パターン 203ba の膜厚、多結晶シリコン膜パターン 203bb の膜厚、酸化シリコン膜スペーサ 214b の膜厚、酸化シリコン膜 244ba の膜厚、酸化シリコン膜 244bb の膜厚、酸化シリコン膜スペーサ 214bb の高さ、窒化シリコン膜スペーサ 215ba の膜厚、窒化シリコン膜スペーサ 215bb の膜厚、N 型拡散層 206b の接合の深さ、多結晶シリコン膜パターン 203bc の凹部の深さ、チタン膜 207b の膜厚、プラズマ窒化の温度および圧力、ランプアニールの温度および時間、チタンシリサイド膜 208ba の膜厚、チタンシリサイド膜 208bb の膜厚および窒化チタン膜 219b の膜厚等に関しては、上記第 6 と実施例に記載した数値に限定されるものではない。

【0104】

【発明の効果】以上説明したように本発明の半導体装置は、シリコン基板、ゲート絶縁膜、多結晶シリコン膜パターンと第 1 のチタンシリサイド膜とが積層されたゲート電極、第 2 のチタンシリサイド膜と拡散層とからなるソース・ドレイン領域およびゲート電極の側面に設けられた絶縁膜スペーサを有するシリサイド構造の MOS トランジスタであり、絶縁膜スペーサの上端がゲート電極の上面より高い位置にあることと、ゲート電極における多結晶シリコン膜パターンと第 1 のチタンシリサイド膜と接触幅（換言すれば、ゲート電極が形成される前段階における多結晶シリコン膜パターンとチタン膜との接触

幅)がゲート長より広いことを特徴としている。これら構造は、絶縁膜スペーサが例えば第1の絶縁膜スペーサおよび第2の絶縁膜スペーサからなる積層構造をなし、ゲート電極の側面に直接に接触する第1の絶縁膜スペーサの上端をゲート電極の上面より低くするか、もしくは、多結晶シリコン膜パターンの中央部にゲート幅方向に平行に凹部を設けることにより達せられる。

【0105】上記構造上の特徴から、ゲート電極をなす第1のチタンシリサイド膜の形成のためのチタン膜をシリサイド化する際して、低抵抗相であるC54構造の第1のチタンシリサイド膜を得ることが容易になり、ゲート電極の抵抗率の上昇が容易に抑制できる。また上記構造上の特徴から、ゲート電極をなす第1のチタンシリサイド膜とソース・ドレイン領域を成す第2のチタンシリサイド膜とを隔てる距離が、上記絶縁膜スペーサの存在により、従来の半導体装置より長くすることが容易になる。その結果、ゲート電極とソース・ドレイン領域との間にリーク電流、短絡等を増大させるブリッジング現象を抑制することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の模式的断面図である。

【図2】上記第1の実施例の製造工程の模式的断面図である。

【図3】上記第1の実施例の製造工程の模式的断面図である。

【図4】本発明の第2の実施例の製造工程の模式的断面図である。

【図5】上記第2の実施例の製造工程の模式的断面図である。

【図6】本発明の第3の実施例の製造工程の模式的断面図である。

【図7】上記第3の実施例の製造工程の模式的断面図である。

【図8】本発明の第4の実施例の製造工程の模式的断面図である。

【図9】上記第4の実施例の製造工程の模式的断面図である。

【図10】本発明の第5の実施例の製造工程の模式的断面図である。

【図11】上記第5の実施例の製造工程の模式的断面図である。

【図12】上記第5の実施例の製造工程の模式的断面図である。

【図13】本発明の第6の実施例の製造工程の模式的断面図である。

【図14】上記第6の実施例の製造工程の模式的断面図である。

【図15】上記第6の実施例の製造工程の模式的断面図である。

【図16】従来の半導体装置の製造工程の模式的断面図である。

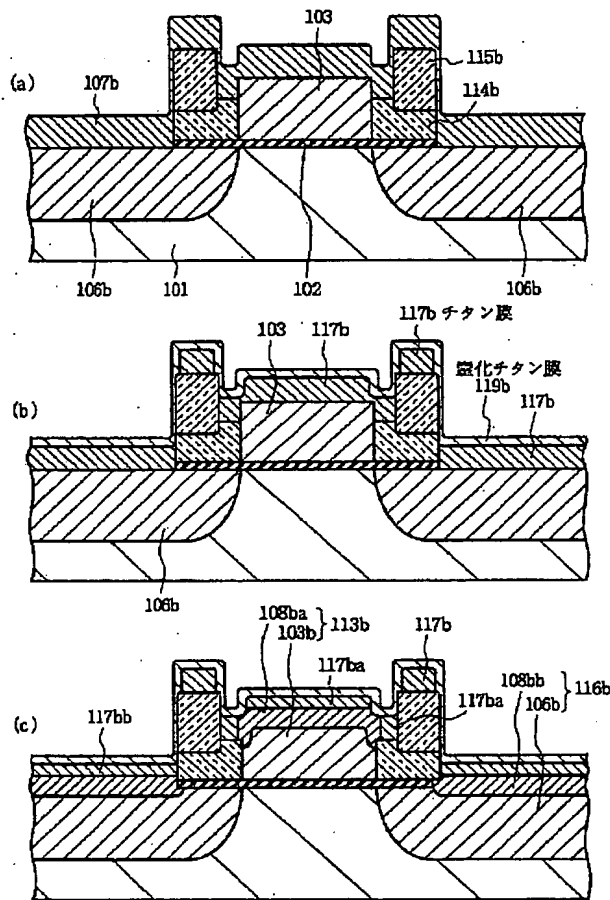
【図17】従来の半導体装置の製造工程の模式的断面図である。

【図18】従来の半導体装置の問題点を説明するための模式的断面図である。

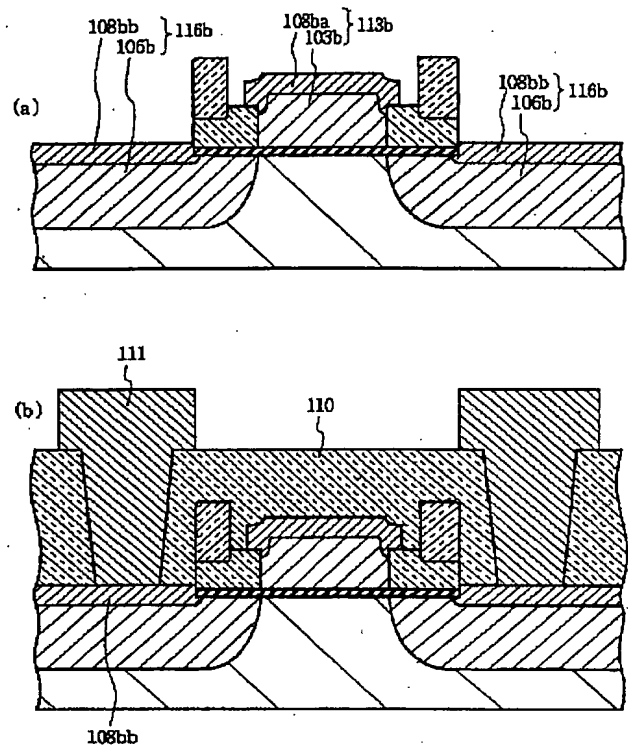
【符号の説明】

- | | | |
|----|--------------------------------------------------------------------------------------------------------------------------------|--------------|
| 10 | 101, 201, 301 | P型シリコン基板 |
| | 102, 202, 302 | ゲート酸化膜 |
| | 103, 103a~103d, 203a, 202aa, 203ab, 203ac, 203ba, 203bb, 203bc, 303, 303a | 多結晶シリコン膜パターン |
| | 104a, 104c, 104d, 124d, 154, 154c, 204a, 244aa, 244ab, 244ba, 244bb, 304 | 酸化シリコン膜 |
| | 105a, 105c, 105d | 窒化シリコン膜 |
| 20 | 106a~106d, 206a, 206b, 306 | N型拡散層 |
| | 107a, 107aa, 107b, 107c, 107ca, 107d, 117b, 117ba, 117bb, 117d, 117da, 117db, 207a, 207aa, 207b, 217b, 217ba, 217bb, 307, 307a | チタン膜 |
| | 108aa, 108ab, 108ba, 108bb, 108ca, 108bc, 108da, 108db, 208aa, 208ab, 208ba, 208bb, 308a, 308b, 308c | チタンシリサイド膜 |
| 30 | 109a, 109c, 119b, 119d, 209a, 219b, 309 | 窒化チタン膜 |
| | 110 | 層間絶縁膜 |
| | 111 | 金属配線 |
| | 113a~113d, 213a, 213b, 313 | ゲート電極 |
| | 114a, 114b, 114c, 114ca, 114d, 134d, 214a, 214aa, 214ab, 214b, 214ba, 214bb, 314 | 酸化シリコン膜スペーサ |
| 40 | 115a~115d, 215aa, 215ab, 215ba, 215bb | 窒化シリコン膜スペーサ |
| | 116a~116d, 216a, 216b, 316 | ソース・ドレイン領域 |
| | 251a, 251aa, 251ba | フォトレジスト膜 |

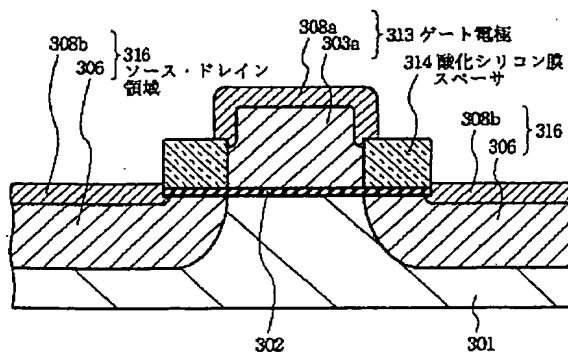
【図 4】



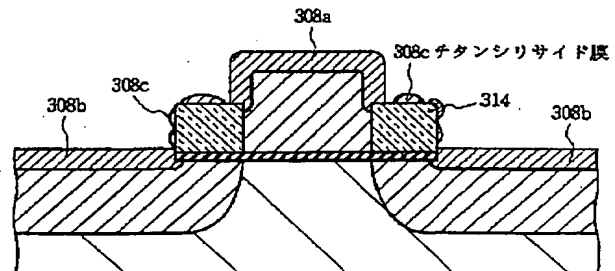
【図 5】



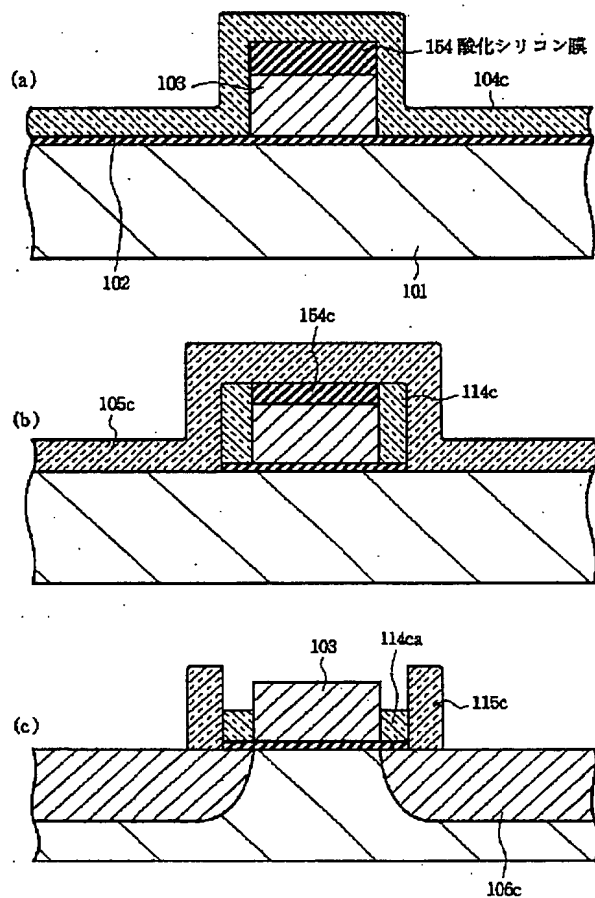
【図 17】



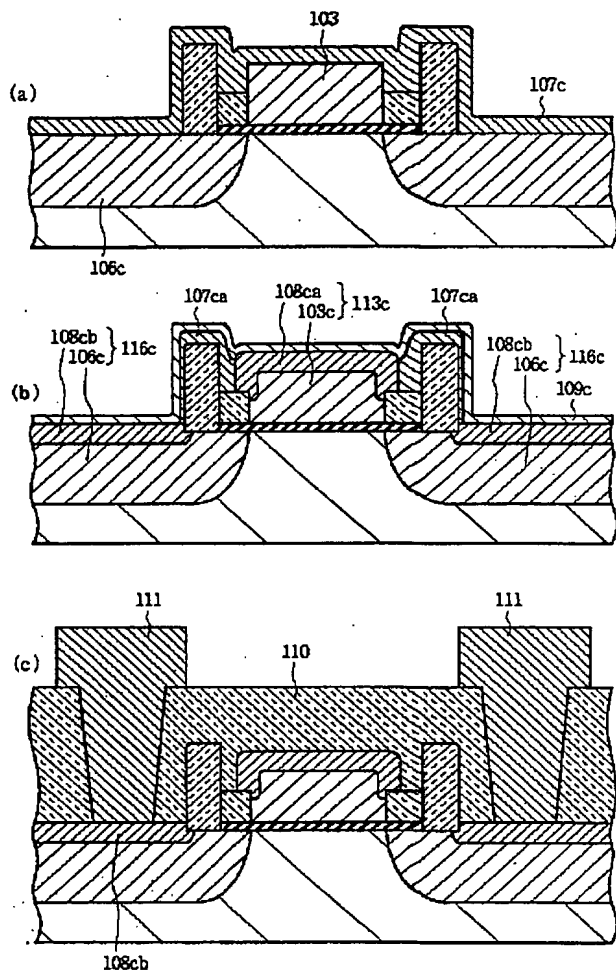
【図 18】



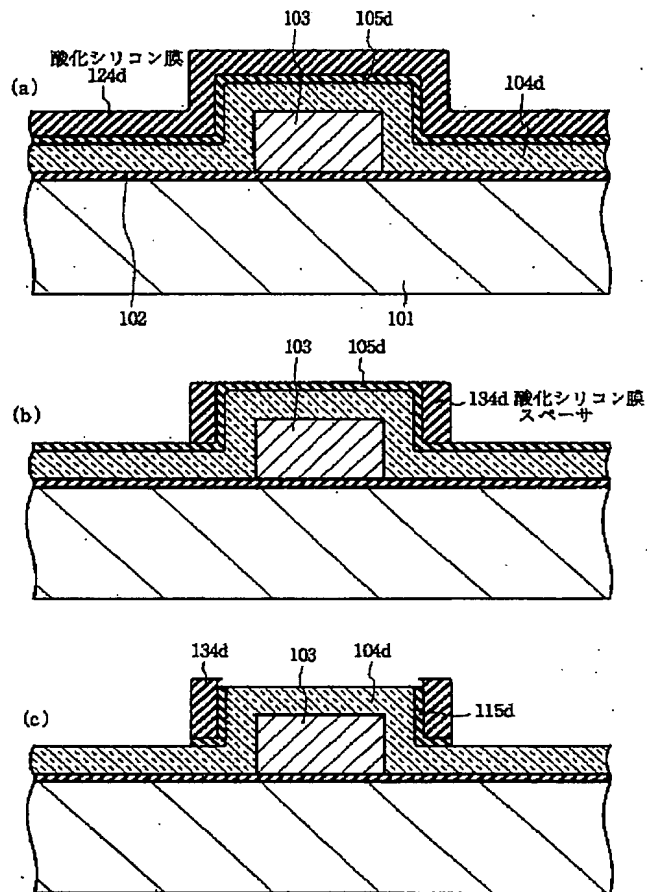
【図 6】



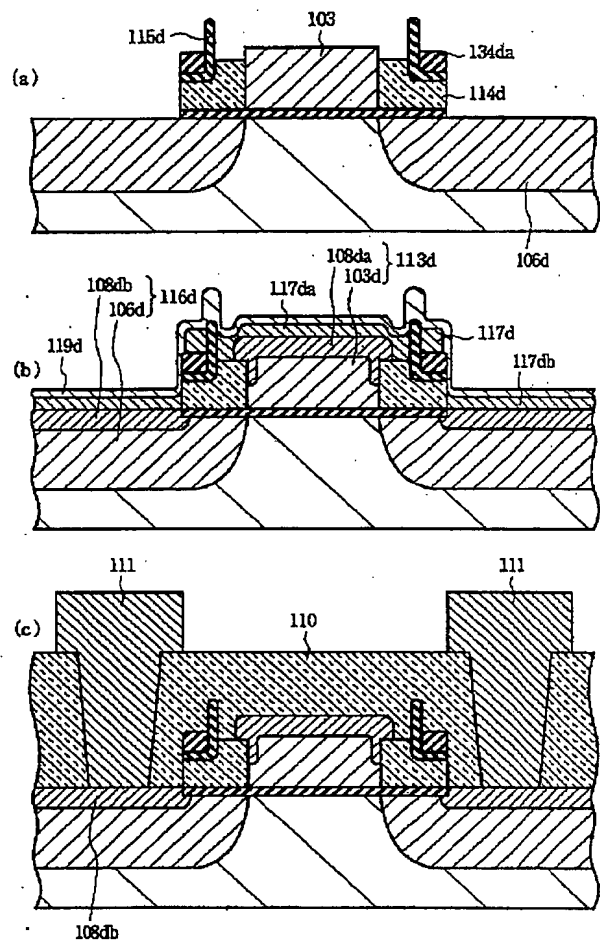
【図 7】



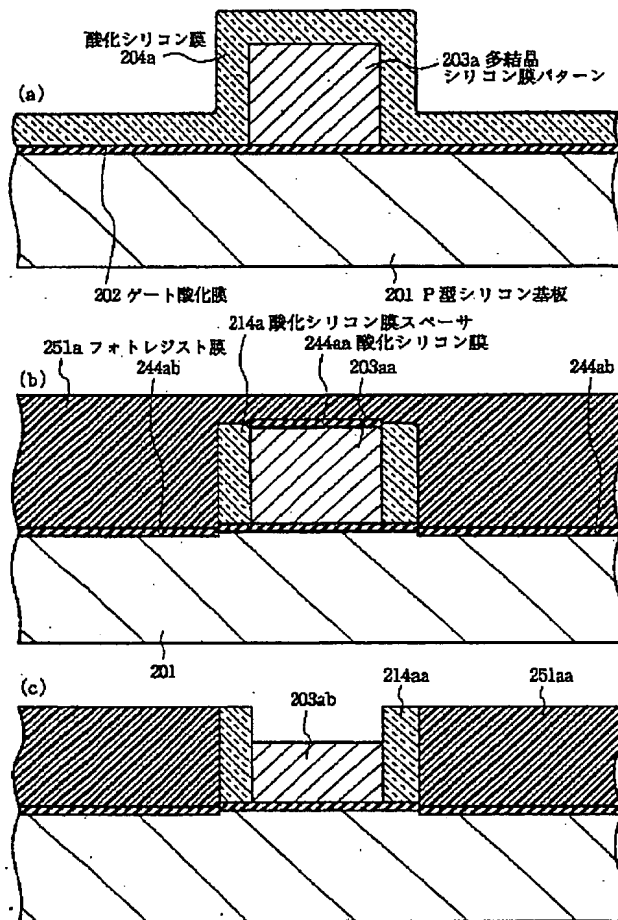
【図 8】



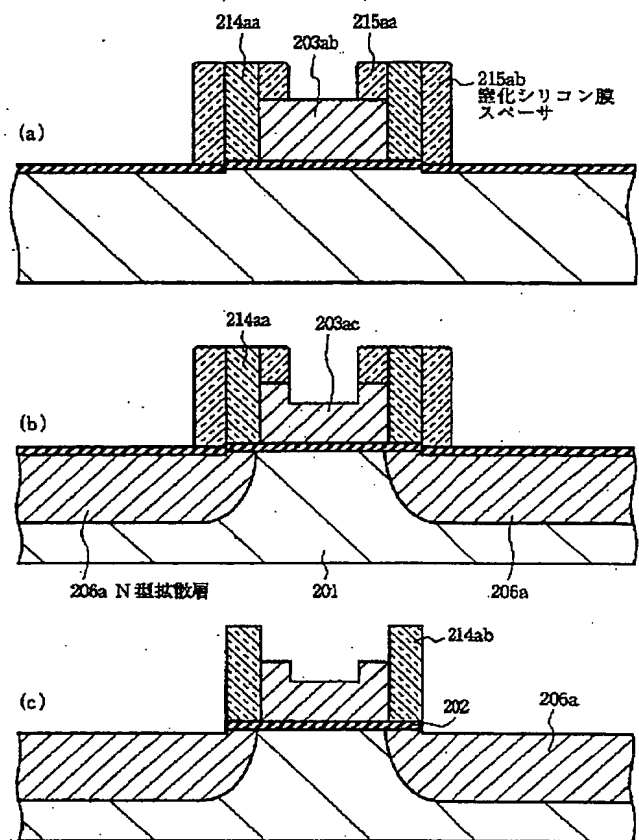
【図 9】



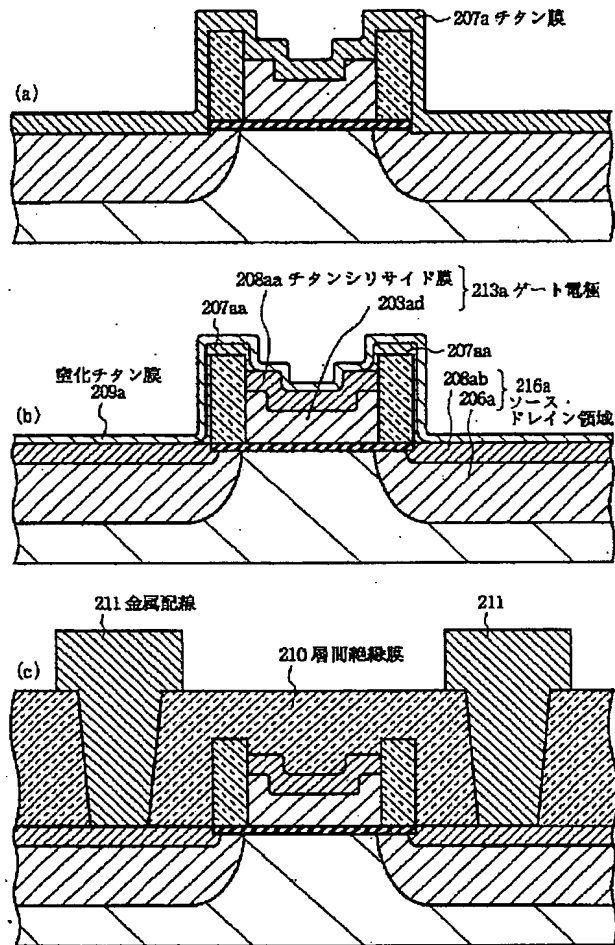
【図10】



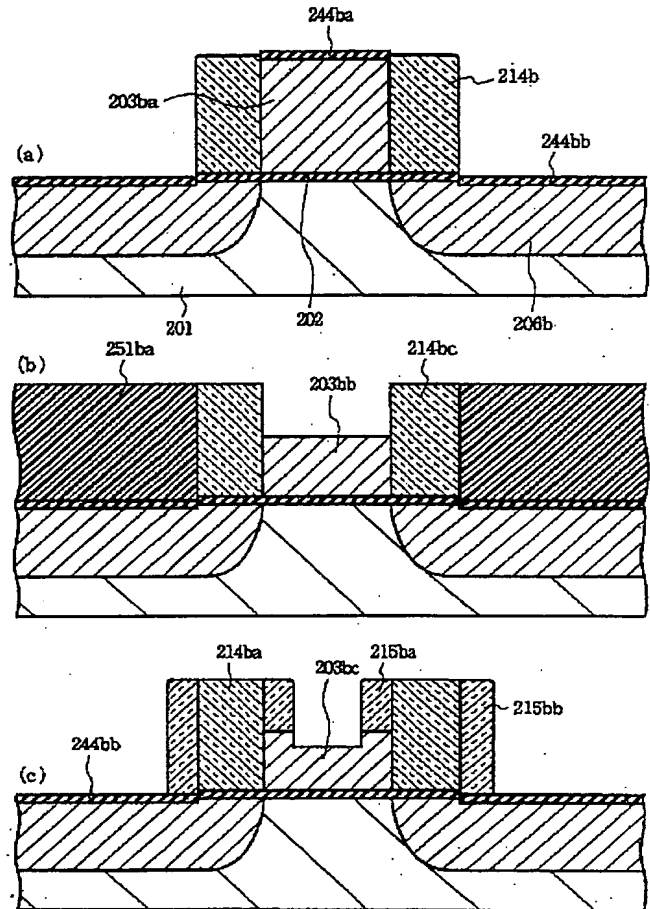
【図11】



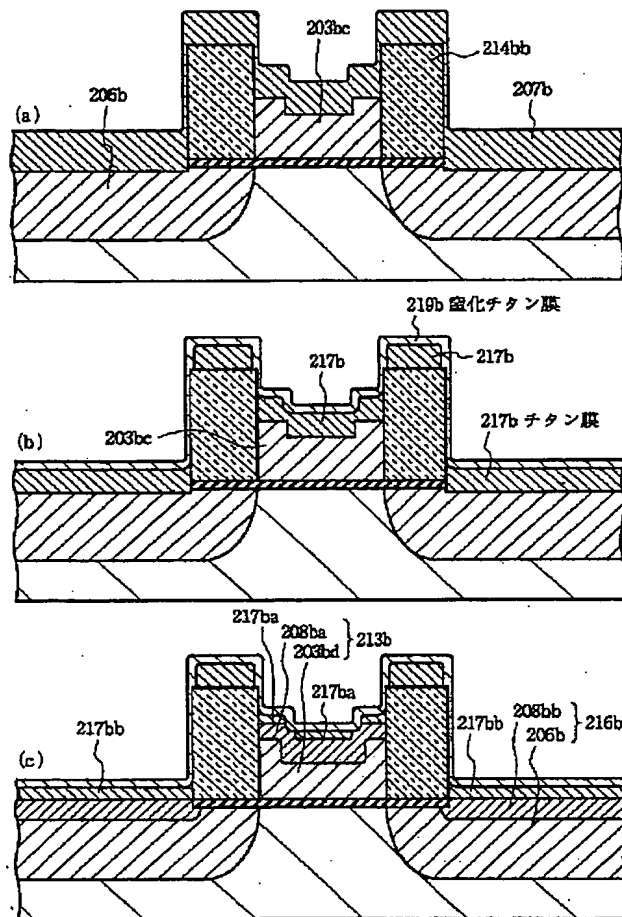
【図12】



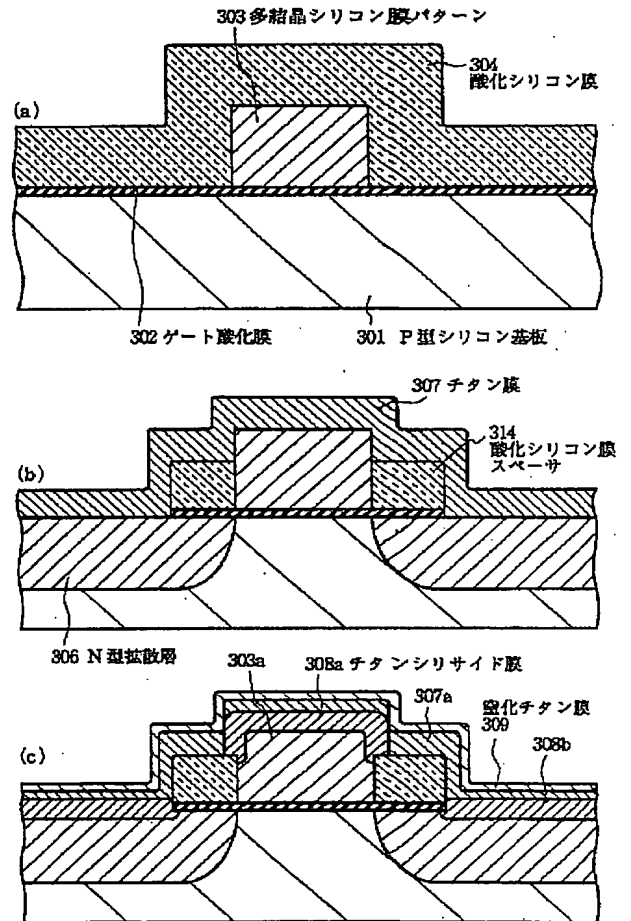
【図13】



【図14】



【図16】



フロントページの続き

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/3205

H 0 1 L 29/78

3 0 1 S